

DIALOG(R) File 352:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

012230280     \*\*Image available\*\*

WPI Acc No: 99-036387/199904

XRAM Acc No: C99-011102

XRPX Acc No: N99-027354

**Semiconductor thin film useful for TFT - consists of contiguous  
rod-shaped crystals with lattice continuity at crystal boundaries**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: KOYAMA J; MIYANAGA A; OGATA Y; OHTANI H; YAMAZAKI S

Number of Countries: 003    Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
DE 19825081	A1	19981210	DE 1025081	A	19980604	H01L-029/04	199904 B
<b>JP 11354442</b>	A	19991224	JP 98152316	A	19980515	H01L-021/20	200011
KR 99006736	A	19990125	KR 9821015	A	19980608	H01L-029/786	200014

Priority Applications (No Type Date): JP 98114268 A 19980409; JP 97165216 A  
19970606; JP 98108550 A 19980403

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
DE 19825081	A1		37			
JP 11354442	A		25			

Abstract (Basic): DE 19825081 A

A novel semiconductor thin film consists of contiguous (flat) rod-shaped crystals, in which (i) the surface alignment is the same as the (110) alignment and almost all the crystal lattices exhibit continuity at each crystal boundary; (ii) the surface alignment is roughly the same as the (110) alignment and almost all the detectable crystal lattice edges linearly and continuously intersect each grain boundary of different crystal grains; (iii) the (110) alignment ratio is 0.9 or more and almost all the crystal lattices exhibit continuity at all the crystal boundaries; or (iv) the (110) alignment ratio is 0.9 or more and almost all the detectable crystal lattice edges linearly and continuously intersect each grain boundary of different crystal grains. Also claimed are semiconductor devices with insulated gates, in which at least one channel-forming region is formed from the semiconductor thin film described above.

USE - Especially as a silicon-based active layer for individual elements such as TFTs or for semiconductor circuits, electrooptical devices or electronic circuits containing such individual devices, e.g. ICs and LCDs.

ADVANTAGE - The thin film permits production of semiconductor devices with extremely high power and allows manufacture of high speed logic circuits.

Dwg. 1A, B/2

3

Title Terms: SEMICONDUCTOR; THIN; FILM; USEFUL; TFT; CONSIST; CONTIGUOUS; ROD; SHAPE; CRYSTAL; LATTICE; CONTINUE; CRYSTAL; BOUNDARY

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-021/20; H01L-029/04; H01L-029/786

International Patent Class (Additional): H01L-021/336; H01L-029/36

File Segment: CPI; EPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354442

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/20  
29/786  
21/336

H 0 1 L 21/20  
29/78

6 1 8 G  
6 1 8 Z  
6 2 7 G

審査請求 未請求 請求項の数20 F D (全 25 頁)

(21) 出願番号 特願平10-152316

(22) 出願日 平成10年(1998)5月15日

(31) 優先権主張番号 特願平9-165216

(32) 優先日 平9(1997)6月6日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-108550

(32) 優先日 平10(1998)4月3日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平10-114268

(32) 優先日 平10(1998)4月9日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体薄膜および半導体装置

(57) 【要約】

【課題】 極めて結晶性に優れた半導体薄膜及びそれを用いた高性能な半導体装置を提供する。

【解決手段】 非晶質半導体薄膜を触媒元素を利用して結晶化させた後、ハロゲン元素を含む雰囲気中で加熱処理を行い前記触媒元素を除去する。こうして得られる結晶性半導体薄膜は概略 {110} 配向を示し、結晶粒界において殆どの結晶格子に連続性を有するという特徴がある。この結晶粒界はキャリアの移動度向上に大きく寄与し、非常に高性能な半導体装置を実現する。

## 【特許請求の範囲】

【請求項1】複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜であって、面方位は概略{110}配向であり、且つ、任意の結晶粒界では殆どの結晶格子に連続性があることを特徴とする半導体薄膜。

【請求項2】複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜であって、面方位は概略{110}配向であり、且つ、任意の結晶粒界を横切る様にして観測される格子縞の殆どが、前記結晶粒界を形成する異なる結晶粒間で直線的に連続していることを特徴とする半導体薄膜。

【請求項3】複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜であって、{110}配向比率が0.9以上であり、且つ、任意の結晶粒界では殆どの結晶格子に連続性があることを特徴とする半導体薄膜。

【請求項4】複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜であって、{110}配向比率が0.9以上であり、且つ、任意の結晶粒界を横切る様にして観測される格子縞の殆どが、前記結晶粒界を形成する異なる結晶粒間で直線的に連続していることを特徴とする半導体薄膜。

【請求項5】電子線回折パターンには{110}配向による特定の規則性が観測されることを特徴とする請求項1乃至請求項4に記載の半導体薄膜。

【請求項6】複数の棒状または偏平棒状結晶はいずれも概略{111}面を先頭に概略<111>軸方向に沿って結晶成長したものであることを特徴とする請求項1乃至請求項4に記載の半導体薄膜。

【請求項7】複数の棒状または偏平棒状結晶は互いに概略平行に特定の方向性をもって並んでいることを特徴とする請求項1乃至請求項4に記載の半導体薄膜。

【請求項8】膜中に存在するC、N、O、Sの濃度は $5 \times 10^{18} \text{atoms/cm}^3$ 未満であることを特徴とする請求項1乃至請求項4に記載の半導体薄膜。

【請求項9】膜中にはNi、Co、Fe、Pd、Pt、Cu、Au、Geから選ばれた一種または複数種の元素が、 $5 \times 10^{17} \text{atoms/cm}^3$ 以下の濃度で存在することを特徴とする請求項1乃至請求項4に記載の半導体薄膜。

【請求項10】珪素または珪素を主成分とする元素からなることを特徴とする請求項1乃至請求項9に記載の半導体薄膜。

【請求項11】少なくともチャネル形成領域が複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜で構成される絶縁ゲイト型の半導体装置であって、前記半導体薄膜の面方位は概略{110}配向であり、且つ、任意の結晶粒界では殆どの結晶格子に連続性があることを特徴とする半導体装置。

【請求項12】少なくともチャネル形成領域が複数の棒

状または偏平棒状結晶の集合体からなる半導体薄膜で構成される絶縁ゲイト型の半導体装置であって、

前記半導体薄膜の面方位は概略{110}配向であり、且つ、任意の結晶粒界を横切る様にして観測される格子縞の殆どが、前記結晶粒界を形成する異なる結晶粒間で直線的に連続していることを特徴とする半導体装置。

【請求項13】少なくともチャネル形成領域が複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜で構成される絶縁ゲイト型の半導体装置であって、前記半導体薄膜は{110}配向比率が0.9以上であり、且つ、任意の結晶粒界では殆どの結晶格子に連続性があることを特徴とする半導体装置。

【請求項14】少なくともチャネル形成領域が複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜で構成される絶縁ゲイト型の半導体装置であって、前記半導体薄膜は{110}配向比率が0.9以上であり、且つ、任意の結晶粒界を横切る様にして観測される格子縞の殆どが、前記結晶粒界を形成する異なる結晶粒間で直線的に連続していることを特徴とする半導体装置。

【請求項15】半導体薄膜の電子線回折パターンには{110}配向による特定の規則性が観測されることを特徴とする請求項1乃至請求項14に記載の半導体装置。

【請求項16】複数の棒状または偏平棒状結晶はいずれも概略{111}面を先頭に概略<111>軸方向に沿って結晶成長したものであることを特徴とする請求項1乃至請求項14に記載の半導体装置。

【請求項17】複数の棒状または偏平棒状結晶は互いに概略平行に特定の方向性をもって並んでいることを特徴とする請求項1乃至請求項14に記載の半導体装置。

【請求項18】半導体薄膜中に存在するC、N、O、Sの濃度は $5 \times 10^{18} \text{atoms/cm}^3$ 未満であることを特徴とする請求項1乃至請求項14に記載の半導体装置。

【請求項19】半導体薄膜中にはNi、Co、Fe、Pd、Pt、Cu、Au、Geから選ばれた一種または複数種の元素が、 $5 \times 10^{17} \text{atoms/cm}^3$ 以下の濃度で存在することを特徴とする請求項1乃至請求項14に記載の半導体装置。

【請求項20】半導体薄膜は珪素または珪素を主成分とする元素からなることを特徴とする請求項1乃至請求項19に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本明細書で開示する発明は、絶縁表面を有する基板上に形成された半導体薄膜およびそれを活性層とする半導体装置に関する。特に、半導体薄膜として珪素を主成分とする材料を利用する場合の構成に関する。

【0002】なお、本明細書中において「半導体装置」

とは半導体を利用して機能する装置全てを指しており、次の様なものが半導体装置の範疇に含まれるものとする。

- (1) 薄膜トランジスタ(TFT)等の単体素子。
- (2) (1)の単体素子を利用した半導体回路
- (3) (1)、(2)で構成される電気光学装置。
- (4) (2)、(3)を具備した電子デバイス。

#### 【0003】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜(厚さ数百〜数千Å程度)を用いて薄膜トランジスタ(TFT)を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路(プロセッサ回路やメモリ回路など)等のあらゆる電気回路にTFTを応用する試みがなされている。

【0005】現状においては、活性層として非晶質シリコン膜(アモルファスシリコン膜)を用いたTFTが実用化されているが、駆動回路やロジック回路などの様に、さらなる高速動作性能を求められる電気回路には、結晶シリコン膜(ポリシリコン膜、多結晶シリコン膜等)を利用したTFTが必要とされる。

【0006】例えば、ガラス基板上に結晶性珪素膜を形成する方法としては、本出願人による特開平7-130652号公報、特開平8-78329号公報に記載された技術が公知である。これらの公報記載の技術は、非晶質シリコン膜の結晶化を助長する触媒元素を利用することにより、500〜600℃、4時間程度の加熱処理によって結晶性の優れた結晶シリコン膜を形成することを可能とするものである。

【0007】特に、特開平8-78329に記載された技術は上記技術を応用して基板面とほぼ平行な結晶成長を行わすものであり、発明者らは形成された結晶化領域を特に横成長領域(またはラテラル成長領域)と呼んでいる。

【0008】しかし、この様なTFTを用いて駆動回路を構成してもまだまだ要求される性能を完全に満たすには及ばない。特に、メガヘルツからギガヘルツにかけての極めて高速な動作を要求する高速ロジック回路を従来のTFTで構成することは不可能なのが現状である。

#### 【0009】

【発明が解決しようとする課題】本発明者らは、これまで結晶粒界を有する結晶性珪素膜(多結晶珪素膜と呼ばれる)の結晶性を向上させるために様々な思考錯誤を繰り返してきた。セミアモルファス半導体(特開昭57-160121号公報等)やモノドメイン半導体(特開平8-139019号公報等)などが挙げられる。

【0010】上記公報に記載された半導体膜に共通の概念は、結晶粒界の実質的な無害化にある。即ち、結晶粒界を実質的になくし、キャリア(電子または正孔)の移動を円滑に行わせることが最大の課題であった。

【0011】しかしながら、上記公報に記載された半導体膜をもってしてもロジック回路が要求する高速動作を行うには不十分と言える。即ち、ロジック回路を内蔵したシステム・オン・パネルを実現するためには、従来にない全く新しい材料の開発が求められているのである。

【0012】本願発明は、その様な要求に答えるものであり、従来のTFTでは作製不可能であった様な高速ロジック回路を構成しうる極めて高性能な半導体装置を実現するための半導体薄膜を提供することを課題とする。また、その様な半導体薄膜を利用した半導体装置を提供することを課題とする。

#### 【0013】

【課題を解決するための手段】本明細書で開示する発明の構成は、複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜であって、面方位は概略{110}配向であり、且つ、任意の結晶粒界では殆どの結晶格子に連続性があることを特徴とする。

【0014】また、他の発明の構成は、複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜であって、面方位は概略{110}配向であり、且つ、任意の結晶粒界を横切る様にして観測される格子縞の殆どが、前記結晶粒界を形成する異なる結晶粒間で直線的に連続していることを特徴とする。

【0015】本願発明は上記の様な構成でなる半導体薄膜を実現するための技術である。また、かかる半導体薄膜を利用して作製された半導体装置は次に示す様な特徴を有したものとなる。

【0016】(1)少なくともチャネル形成領域が複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜で構成され、前記半導体薄膜の面方位は概略{110}配向であり、且つ、任意の結晶粒界では殆どの結晶格子に連続性がある。

(2)少なくともチャネル形成領域が複数の棒状または偏平棒状結晶の集合体からなる半導体薄膜で構成され、前記半導体薄膜の面方位は概略{110}配向であり、且つ、任意の結晶粒界を横切る様にして観測される格子縞の殆どが、前記結晶粒界を形成する異なる結晶粒間で直線的に連続している。

【0017】以上のような本発明の構成について、以下に記載する実施例でもって詳細な説明を行うこととする。

#### 【0018】

【実施例】〔実施例1〕本実施例では、本願発明である半導体薄膜およびそれを活性層とした半導体装置(具体的にはTFT)の作製工程について説明する。また、作製工程の説明の後には、本願発明のTFTについて、結

晶構造および電気特性の観点から得られた知見について説明する。

【0019】まず、絶縁表面を有する基板として石英基板801を準備する。石英基板の代わりに熱酸化膜を形成したシリコン基板を用いることもできる。また、石英基板上に一旦非晶質珪素膜を形成し、それを完全に熱酸化して絶縁膜とする様な方法をとっても良い。さらに、絶縁膜として窒化珪素膜を形成した石英基板、セラミックス基板またはシリコン基板を用いても良い。

【0020】802は非晶質珪素膜であり、最終的な膜厚（熱酸化後の膜減りを考慮した膜厚）が10～75nm（好ましくは15～45nm）となる様に調節する。なお、成膜に際して膜中の不純物濃度の管理を徹底的に行うことは重要である。

【0021】本実施例の場合、非晶質珪素膜802中において代表的な不純物であるC（炭素）、N（窒素）、O（酸素）、S（硫黄）の濃度はいずれも $5 \times 10^{18} \text{ atoms/cm}^3$ 未満（好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下）となる様に管理している。各不純物がこれ以上の濃度で存在すると、結晶化の際に悪影響を及ぼし、結晶化後の膜質を低下させる原因となりうる。

【0022】ここで本実施例の条件で作製した非晶質珪素膜中の不純物濃度をSIMS（質量二次イオン分析）で調べた結果を図23に示す。なお、試料はシリコンウェハー上に0.5  $\mu\text{m}$ の膜厚の非晶質珪素膜を成膜したものを用いた。その結果、図23に示す様にC、N、Oいずれの元素も上記濃度範囲内に収まることが確認された。ただし、本明細書中において膜中の元素濃度は、SIMSの測定結果における最小値で定義される。

【0023】C、N、Oいずれの元素も上記濃度範囲内に収まる様にするために、本実施例で用いる減圧熱CVD炉は定期的にドライクリーニングを行い、成膜室の清浄化を図っておく。ドライクリーニングは、200～400℃程度に加熱した炉内に100～300sccmの $\text{CF}_3$ （フッ化塩素）ガスを流し、熱分解によって生成したフッ素によって成膜室のクリーニングを行えば良い。

【0024】なお、本発明者らの知見によれば炉内温度300℃とし、 $\text{CF}_3$ （フッ化塩素）ガスの流量を300sccmとした場合、約2  $\mu\text{m}$ 厚の付着物（主に珪素を主成分する）を4時間で完全に除去することができる。

【0025】なお、非晶質珪素膜802中の水素濃度も非常に重要なパラメータであり、水素含有量を低く抑えた方が結晶性の良い膜が得られる様である。そのため、非晶質珪素膜802の成膜は減圧熱CVD法であることが好ましい。なお、成膜条件を最適化することでプラズマCVD法を用いることも可能である。

【0026】次に、非晶質珪素膜802の結晶化工程を行う。結晶化の手段としては本発明者による特開平7-130652号公報記載の技術を用いる。同公報の実施例1および実施例2のどちらの手段でも良いが、本願発明では実

施例2に記載した技術内容（特開平8-78329号公報に詳しい）を利用するのが好ましい。

【0027】特開平8-78329号公報記載の技術は、まず触媒元素の添加領域を選択するマスク絶縁膜803を形成する。マスク絶縁膜803は触媒元素を添加するために複数箇所の開口部を有している。この開口部の位置によって結晶領域の位置を決定することができる。

【0028】そして、非晶質珪素膜の結晶化を助長する触媒元素としてニッケル（Ni）を含有した溶液をスピコート法により塗布し、Ni含有層804を形成する。なお、触媒元素としてはニッケル以外にも、コバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）、ゲルマニウム（Ge）等を用いることができる。（図8（A））

【0029】また、上記触媒元素の添加工程は、レジストマスクを利用したイオン注入法またはプラズマドーピング法を用いることもできる。この場合、添加領域の占有面積の低減、横成長領域の成長距離の制御が容易となるので、微細化した回路を構成する際に有効な技術となる。

【0030】次に、触媒元素の添加工程が終了したら、450℃1時間程度の水素出しの後、不活性雰囲気、水素雰囲気または酸素雰囲気中において500～700℃（代表的には550～650℃）の温度で4～24時間の加熱処理を加えて非晶質珪素膜802の結晶化を行う。本実施例では窒素雰囲気中で570℃14時間の加熱処理を行う。

【0031】この時、非晶質珪素膜802の結晶化はニッケルを添加した領域805で発生した核から優先的に進行し、基板801の基板面に対してほぼ平行に成長した結晶領域806が形成される。本発明者らはこの結晶領域806を横成長領域と呼んでいる。横成長領域は比較的揃った状態で個々の結晶が集合しているため、全体的な結晶性に優れるという利点がある。（図8（B））

【0032】なお、上述の特開平7-130652号公報の実施例1に記載された技術を用いた場合も微視的には横成長領域と呼ぶ領域が形成されている。しかしながら、核発生が面内において不均一に起こるので結晶粒界の制御性の面で難がある。

【0033】結晶化のための加熱処理が終了したら、マスク絶縁膜803を除去してパターニングを行い、横成長領域806のみでなる島状半導体層（活性層）807を形成する。

【0034】次に、珪素を含む絶縁膜でなるゲイト絶縁膜808を形成する。ゲイト絶縁膜808の膜厚は後の熱酸化工程による増加分も考慮して20～250nmの範囲で調節すれば良い。また、成膜方法は公知の気相法（プラズマCVD法、スパッタ法等）を用いれば良い。

【0035】次に、図8（C）に示す様に触媒元素（ニッケル）を除去または低減するための加熱処理（触媒元素のゲッタリングプロセス）を行う。この加熱処理は処

理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッターリング効果を利用するものである。

【0036】なお、ハロゲン元素によるゲッターリング効果を十分に得るためには、上記加熱処理を700℃を超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッターリング効果が得られなくなる恐れがある。

【0037】そのため本実施例ではこの加熱処理を700℃を超える温度で行い、好ましくは800～1000℃（代表的には950℃）とし、処理時間は0.1～6hr、代表的には0.5～1hrとする。

【0038】なお、本実施例では酸素雰囲気中に対して塩化水素（HCl）を0.5～10体積％（本実施例では3体積％）の濃度で含有させた雰囲気中において、950℃、30分の加熱処理を行う例を示す。HCl濃度を上記濃度以上とすると、活性層807の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0039】また、ハロゲン元素を含む化合物としてHClガスを用いる例を示したが、それ以外のガスとして、代表的にはHF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub>等のハロゲンを含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0040】この工程においては活性層807中のニッケルが塩素の作用によりゲッターリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去されると考えられる。そして、この工程により活性層807中のニッケルの濃度は $5 \times 10^{17}$ atoms/cm<sup>3</sup>以下にまで低減される。

【0041】なお、 $5 \times 10^{17}$ atoms/cm<sup>3</sup>という値はSIMS（質量二次イオン分析）の検出下限である。本発明者らが試作したTFTを解析した結果、 $1 \times 10^{18}$ atoms/cm<sup>3</sup>以下（好ましくは $5 \times 10^{17}$ atoms/cm<sup>3</sup>以下）ではTFT特性に対するニッケルの影響は確認されなかった。ただし、本明細書中における不純物濃度は、SIMS分析の測定結果の最小値をもって定義される。

【0042】また、上記加熱処理により活性層807とゲイト絶縁膜808の界面では熱酸化反応が進行し、熱酸化膜の分だけゲイト絶縁膜808の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体／絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良（エッジシニング）を防ぐ効果もある。

【0043】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950℃1時間程度の加熱処理を行なうことで、ゲイト絶縁膜808の膜質の向上を図ることも有効である。

【0044】なお、SIMS分析により活性層807中にはゲッターリング処理に使用したハロゲン元素が $1 \times 10^{15} \sim 1 \times 10^{20}$ atoms/cm<sup>3</sup>の濃度で残存することも確認さ

れている。また、その際、活性層807と加熱処理によって形成される熱酸化膜との間に前述のハロゲン元素が高濃度に分布することがSIMS分析によって確かめられている。

【0045】また、他の元素についてもSIMS分析を行った結果、代表的な不純物であるC（炭素）、N（窒素）、O（酸素）、S（硫黄）はいずれも $5 \times 10^{18}$ atoms/cm<sup>3</sup>未満（典型的には $1 \times 10^{18}$ atoms/cm<sup>3</sup>以下）であることが確認された。

【0046】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型809を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる。なお、これ以外にもタンタル膜、導電性を有する珪素膜等を用いることもできる。（図8（D））

【0047】ここで本発明者らによる特開平7-135318号公報記載の技術を利用する。同公報には、陽極酸化により形成した酸化膜を利用して自己整合的にソース／ドレイン領域と低濃度不純物領域とを形成する技術が開示されている。

【0048】まず、アルミニウム膜のパターニングに使用したレジストマスク（図示せず）を残したまま3%シュウ酸水溶液中で陽極酸化処理を行い、多孔性の陽極酸化膜810を形成する。

【0049】この多孔性の陽極酸化膜810は時間に比例して膜厚が増加する。また、上面にレジストマスクが残っているのでゲイト電極の原型809の側面のみに形成される。なお、特開平7-135318号公報記載の技術では、この膜厚が後に低濃度不純物領域（LDD領域とも呼ばれる）の長さになる。本実施例では膜厚が700nmとなる様な条件で陽極酸化処理を行う。

【0050】次に、図示しないレジストマスクを除去した後、エチレングリコール溶液に3%の酒石酸を混合した電解溶液中で陽極酸化処理を行う。この処理では緻密な無孔性の陽極酸化膜811が形成される。なお、多孔性の陽極酸化膜の内部にも電解溶液が浸透するので、その内側にも形成される。

【0051】この無孔性の陽極酸化膜811は印加する電圧に応じて膜厚が決定する。本実施例では、100nm程度の膜厚で形成される様に印加電圧を80Vとして陽極酸化処理を行う。

【0052】そして、上述の2回に渡る陽極酸化処理の後に残ったアルミニウム膜812が実質的にゲイト電極として機能する。

【0053】こうして図8（E）の状態が得られたら、次にゲイト電極812、多孔性の陽極酸化膜810をマスクとしてゲイト絶縁膜808をドライエッチング法によりエッチングする。そして、多孔性の陽極酸化膜810を除去する。こうして形成されるゲイト絶縁膜813の端部は多孔性の陽極酸化膜810の膜厚分だけ露出し

た状態となる。(図9 (A))

【0054】次に、一導電性を付与する不純物元素の添加工程を行う。不純物元素としてはN型ならばP (リン) またはAs (砒素)、P型ならばB (ボロン) を用いれば良い。

【0055】本実施例では、まず1回目の不純物添加を高加速電圧で行い、 $n^-$  領域814、815を形成する。この時、加速電圧が80keV 程度と高いので不純物元素は活性層表面だけでなく露出したゲート絶縁膜の端部の下にも添加される。この $n^-$  領域814、815は不純物濃度が $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  となる様に調節する。(図9 (B))

【0056】さらに、2回目の不純物添加を低加速電圧で行い、 $n^+$  領域816、817を形成する。この時は加速電圧が10keV 程度と低いのでゲート絶縁膜がマスクとして機能する。また、この $n^+$  領域816、817はシート抵抗が500Ω以下(好ましくは300Ω以下)となる様に調節する。(図9 (C))

【0057】以上の工程で形成された不純物領域は、 $n^+$  領域がソース領域816、ドレイン領域817となり、 $n^-$  領域が低濃度不純物領域818となる。また、ゲート電極直下の領域は不純物元素が添加されず、実質的に真性なチャネル形成領域819となる。

【0058】なお、低濃度不純物領域818はチャネル形成領域819とドレイン領域817との間にかかる高電界を緩和する効果があり、LDD (ライトドープドレイン) 領域とも呼ばれる。

【0059】以上の様にして活性層が完成したら、フェーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物元素の活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0060】次に、層間絶縁膜820を500 nmの厚さに形成する。層間絶縁膜820としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜、或いはそれらの積層膜を用いることができる。

【0061】なお、有機性樹脂膜としてはポリイミド、アクリル、ポリアミド、ポリイミドアミド等が用いられる。有機性樹脂膜の利点は、①成膜方法が簡単である点、②容易に膜厚を厚くできる点、③比誘電率が低いので寄生容量を低減できる点、④平坦性に優れている点などが挙げられる。

【0062】次に、コンタクトホールを形成した後、ソース電極821、ドレイン電極822を形成する。最後に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中(特に活性層中)のダングリングボンド(不対結合手)を終端する。

【0063】以上の工程によって、図9 (D) に示す様な構造のTFTを作製することができる。以下に、こうして得られたTFTの特徴について述べる。

【0064】〔活性層の結晶構造に関する知見〕上記作

製工程に従って形成した活性層は、微視的に見れば複数の棒状または偏平棒状結晶が互いに概略平行に特定方向への規則性をもって並んだ結晶構造を有する。このことはTEM (透過型電子顕微鏡法) による観察で容易に確認することができる。

【0065】ここで、棒状または偏平棒状結晶同士の結晶粒界を800万倍に拡大したHR-TEM写真を図1に示す。なお、本明細書中において結晶粒界とは、棒状または偏平棒状結晶が接した境界に形成される粒界を指すものと定義する。従って、例えば横成長領域がぶつかりあって形成される様なマクロな意味あいでの粒界とは区別して考える。

【0066】ところで前述のHR-TEM (高分解能透過型電子顕微鏡法) とは、試料に対して垂直に電子線を照射し、透過電子や弾性散乱電子の干渉を利用して原子・分子配列を評価する手法である。

【0067】HR-TEMでは結晶格子の配列状態を格子縞として観察することが可能である。従って、結晶粒界を観察することで、結晶粒界における原子同士の結合状態を推測することができる。なお、格子縞は白と黒の縞模様となって現れるが、コントラストの相違であって原子の位置を示すものではない。

【0068】図1 (A) は本願発明で得られる結晶性珪素膜の代表的なTEM写真であり、異なる二つの結晶粒が写真左上から右下にかけて見られる結晶粒界で接した状態が観察されている。この時、二つの結晶粒は結晶軸に多少のずれが含まれているものの概略{110}配向であった。

【0069】なお、後述するが複数の結晶粒を調べた結果、殆ど全てが概略{110}配向であることをX線回折や電子線回折によって確認している。

【0070】なお、多数観察した中には(011)面や(101)面などもあるはずだが、それら等価な面はまとめて{110}面と表すことにする。その点について図2を用いて簡単に説明する。

【0071】図2 (A) は結晶面が{110}面である結晶粒(結晶軸は<110>となる)を模式的に表した例である。{110}である結晶面内には<111>軸や<100>軸などが含まれる。

【0072】図2 (A) に示す様な表記方法は集会的な指数表記の例である。これを厳密な指数表記にすると図2 (B)、(C) の様になる。例えば、結晶軸[110]と結晶軸[01-1]はどちらも等価であり、<110>でまとめられる。

【0073】なお、書式の都合上[01-1]と表記するが、-1の(-)は反転を表す論理記号の代わりとして用いている。

【0074】以上の様に、厳密な結晶方位(結晶軸)で議論すると様々な捉え方ができるので、簡略化を図るために以下の記載は全て集会的な指数表記で表す。勿論、



等価な全ての結晶面では同様の物性が得られる。

【0075】ところで、図1(A)に図示した様に、面内には{111}面、{100}面に対応する格子縞が観察されている。なお、{111}面に対応する格子縞とは、その格子縞に沿って結晶粒を切断した場合に断面に{111}面が現れる様な格子縞を指している。格子縞がどの様な面に対応するかは、簡易的に格子縞と格子縞の間隔から確認できる。図1(A)の場合、{111}面に対応する格子縞の間隔は約0.3nmである。

【0076】なお、図1(A)上側の結晶粒は縦、横、斜めに複数の格子縞が確認できるのに対し、下側の結晶粒は1本の格子縞しか見えない。この理由はTEM観察時の電子線の照射方向が影響していると考えられる。即ち、上側の結晶粒は結晶面に垂直に電子線が当たっているので面内の格子縞が複数見えるが、下側の結晶粒は上側の結晶を基準とした時に僅かに傾いているため電子線が垂直に当たらず、特定の格子縞のみが見えているのである。

【0077】ここで{111}面に対応する格子縞に着目してみる。図1(A)から明らかな様に、上側の結晶粒の{111}面に対応する格子縞(図中では2本見えるがそのうちの1本)と下側の結晶粒の{111}面に対応する格子縞とは互いに平行である。

【0078】そして、結晶粒界の存在と関係なく、結晶粒界を横切る様にして異なる二つの結晶粒の格子縞が繋がっている。即ち、結晶粒界を横切る様にして観測される格子縞の殆どが、異なる結晶粒の格子縞であるにも拘らず直線的に連続していることが確認できる。これは任意の結晶粒界で同様であり、全体の90%以上(典型的には95%以上)の格子縞が結晶粒界で連続性を保っている。

【0079】この様な結晶構造こそ本願発明の結晶性珪素膜の最大の特徴であり、本発明者らが求めた結晶粒界を実現する結晶構造である。

【0080】この様な結晶構造(正確には結晶粒界の構造)は、結晶粒界において異なる二つの結晶粒が極めて整合性よく接合していることを示している。即ち、結晶粒界において結晶格子が連続的に連なり、結晶欠陥等に起因するトラップ準位を非常に作りにくい構成となっている。換言すれば、結晶粒界において結晶格子に連続性があるとも言える。

【0081】なお、参考までに従来の高温ポリシリコン膜のHR-TEM写真を図1(B)に示す。図1(B)の場合、後述するが結晶面に規則性がなく、{110}面が主体となる配向ではなかった。ただし、ここでは図1(A)と比較するために{111}面に対応する格子縞が現れる様な結晶粒を観察した。

【0082】図1(B)の格子縞は上側の結晶粒と下側の結晶粒ともに1本しか見えていない。この理由は前述の通りである。また、先程と同様の手法で格子縞の間隔

を測定した結果、図1(B)に示す様に上側および下側の結晶粒に見える格子縞は{111}面に対応する格子縞であることが確認できた。

【0083】ところが、図1(B)に示す様に互いの格子縞は平行になっておらず、図1(A)に示す様な結晶構造とは明らかに異なることが判った。

【0084】また、図中において矢印で示す様に、結晶粒界では格子縞が途切れた部分が多数確認できる。この様な部分では未結合手(結晶欠陥と呼べる)が存在することになる、トラップ準位としてキャリアの移動を阻害する可能性が高い。

【0085】なお、上述の様に本願発明の結晶性珪素膜は結晶粒界においても格子が連続性を有しており、この様な結晶欠陥は殆ど確認することができなかった。この点からも本願発明の結晶性珪素膜が従来的高温ポリシリコンとは明らかに異なる半導体膜であることが証明されている。

【0086】次に、本願発明の結晶性珪素膜を電子線回折によって調べた結果を図3に示す。ここでは、図3(A)に本願発明の結晶性珪素膜の代表的な電子線回折パターンを示し、図3(B)に参考として従来的高温ポリシリコン膜の代表的な電子線回折パターンを示す。

【0087】なお、図3(A)、(B)は電子線の照射スポットの径を1.35 $\mu$ mとして測定を行っているため、格子縞レベルに比べて十分マクロな領域の情報を拾っていると考えてよい。

【0088】また、図3(C)は単結晶シリコンの{110}面に垂直に電子線を照射した場合の電子線回折パターンである。通常、この様な電子線回折パターンと観測結果とを見比べ、観察試料の配向性が何であるかを推測する。

【0089】図3(A)の場合、図3(C)に示す様な<110>入射に対応する回折斑点が比較的きれいに現れており、結晶軸が<110>軸である(結晶面が{110}面である)ことが確認できる。

【0090】なお、各斑点は同心円状の広がりを僅かにもっているが、これは結晶軸まわりにある程度の回転角度の分布をもつためと予想される。その広がりの程度はパターンから見積もっても5°以内である。

【0091】また、多数観測するうちには回折斑点が部分的に見えない場合があった(図3(A)でも一部分の回折斑点が見えない)。おそらくは概略{110}配向であるものの、わずかに結晶軸がずれているために回折パターンが見えなくなっているものと思われる。

【0092】本発明者らは、結晶面内に殆ど必ず{111}面が含まれるという事実を踏まえ、おそらく<111>軸まわりの回転角のずれがその様な現象の原因であろうと推測している。

【0093】一方、図3(B)に示す電子線回折パターンの場合、回折斑点には明瞭な規則性が見られず、ほぼ

ランダムに配向していることが確認できる。即ち、 $\{110\}$  面以外の面方位の結晶が不規則に混在すると予想される。

【0094】これらの結果が示す様に、本願発明の結晶性珪素膜の特徴は殆ど全ての結晶粒が概略 $\{110\}$  面に配向しており、かつ、結晶粒界において格子に連続性を有することにある。この特徴は、従来のポリシリコン膜にはないものである。

【0095】また、殆ど全ての結晶粒が概略 $\{110\}$  面に配向する理由は、本発明者らによる特開平7-321339号公報に記載された内容から以下の様に推測される。

【0096】非晶質珪素膜が結晶化する際、基板と概略平行に成長する棒状または偏平棒状結晶（針状または柱状結晶と呼ぶ場合もある）の成長方向は $\langle 111 \rangle$  軸であることがTEM写真により確認されている。この様子を模式的に図20に示す。

【0097】Niを触媒元素として非晶質珪素膜を結晶化する場合、 $\text{NiSi}_2$ 析出体を媒介として $\langle 111 \rangle$  軸方向に沿って結晶成長する。これは $\text{NiSi}_2$ とSiの結晶面において $\{111\}$  面同士が構造的に整合性が

良いためと考えられる。

【0098】なお、成長した棒状または偏平棒状結晶の内部は実質的に単結晶と見なせるため、図20ではc-Si（クリスタルシリコン）と記載した。

【0099】この時、 $\langle 111 \rangle$  軸方向に沿って成長した棒状または偏平棒状結晶の側面（成長方向に対して平行な面）には様々な面が形成されうるが、最も現れやすい面が $\{110\}$  面なのである。これは、側面に形成されうるいくつかの面のうち、 $\{110\}$  面が最も原子密度が高いためと考えられる。

【0100】こうした理由から、本願発明の様に $\{111\}$  面を先頭に成長した結晶粒（ $\langle 111 \rangle$  軸方向に沿って成長した結晶粒）では、 $\{110\}$  面が表面（観察面を意味する）に現れることになる。

【0101】なお、本発明者らは特開平7-321339号公報に記載した手法に従ってX線回折を行い、本願発明の結晶性珪素膜について配向比率を算出した。同公報では下記数1に示す様な算出方法で配向比率を定義している。

【0102】

【数1】

$\{220\}$  配向存在比=1（一定）

$$\{111\} \text{ 配向存在比} = \frac{\text{試料の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{111\} \text{ の } \{220\} \text{ に対する相対強度}}$$

$$\{311\} \text{ 配向存在比} = \frac{\text{試料の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}{\text{粉末の } \{311\} \text{ の } \{220\} \text{ に対する相対強度}}$$

$\{220\}$  配向比率=

$\{220\}$  配向存在比

$\{220\}$  配向存在比+  $\{111\}$  配向存在比+  $\{311\}$  配向存在比

【0103】ここで本願発明の半導体薄膜の配向性をX線回折で測定した結果の一例を図24に示す。なお、X線回折パターンには $(220)$  面に相当するピークが現れているが、 $\{110\}$  面と等価であることは言うまでもない。この測定の結果、 $\{110\}$  面が主たる配向であり、配向比率は0.7以上（典型的には0.9以上）であることが判明した。

【0104】以上に示してきた通り、本願発明の結晶性珪素膜と従来のポリシリコン膜とは全く異なる結晶構造（結晶構成）を有していることが判る。この点からも本願発明の結晶性珪素膜は全く新しい半導体膜であると言える。

【0105】なお、本発明の半導体薄膜を形成するにあたって結晶化温度以上の温度でのアニール工程（本実施例の場合、図8（C）に示す工程）は、結晶粒内の欠陥低減に関して重要な役割を果たしている。その事について説明する。

【0106】図21（A）は図8（B）に示した結晶化工程までを終了した時点での結晶シリコン膜を25万倍に拡大したTEM写真であり、結晶粒内（黒い部分と白い部分はコントラストの差に起因して現れる）に矢印で示される様なジグザグ状に見える欠陥が確認される。

【0107】この様な欠陥は主としてシリコン結晶格子面の原子の積み重ね順序が食い違っている積層欠陥であ

るが、転位などの場合もある。図21(A)は{111}面に平行な欠陥面を有する積層欠陥と思われる。その事は、ジグザグ状に見える欠陥が約 $70^\circ$ の角をなして折れ曲がっていることから推測できる。

【0108】一方、図21(B)に示す様に、同倍率で見た本発明の結晶シリコン膜は、結晶粒内には殆ど積層欠陥や転位などに起因する欠陥が見られず、非常に結晶性が高いことが確認できる。この傾向は膜面全体について言えることであり、欠陥数をゼロにすることは現状では困難であるが、実質的にゼロと見なせる程度にまで低減することができる。

【0109】即ち、図21(B)に示す結晶シリコン膜は結晶粒内の欠陥が殆ど無視しうる程度にまで低減され、且つ、結晶粒界が高い連続性によってキャリア移動の障壁になりえないため、単結晶または実質的に単結晶と見なせる。

【0110】この様に、図21(A)と(B)の写真に示した結晶シリコン膜は結晶粒界はほぼ同等の連続性を有しているが、結晶粒内の欠陥数には大きな差がある。本発明の結晶シリコン膜が図21(A)に示した結晶シリコン膜よりも遙に高い電気特性を示す理由はこの欠陥数の差によるところが大きい。

【0111】以上の事から、本発明にとって図8(C)に示した工程は必要不可欠な工程であることが判る。本出願人は、この工程によって起こる現象について次の様なモデルを考えている。

【0112】まず、図21(A)に示す状態では結晶粒内の欠陥(主として積層欠陥)には触媒元素(代表的にはニッケル)が偏析している。即ち、Si-Ni-Siといった形の結合が多数存在していると考えられる。

【0113】しかしながら、触媒元素のゲッタリングプロセスを行うことで欠陥に存在するNiが除去されると、Si-Ni結合は切れる。そのため、シリコンの余った結合手はすぐにSi-Si結合を形成して安定する。こうして欠陥が消滅する。

【0114】勿論、高い温度での熱アニールによって結晶シリコン膜中の欠陥が消滅することは知られているが、本発明ではニッケルとの結合が切れて未結合手が多く発生するためシリコンの再結合がさらにスムーズに行われると推測できる。

【0115】また、同時に結晶シリコン膜が熱酸化される際に発生する余剰シリコン原子が欠陥へと移動し、Si-Si結合の生成に大きく寄与していると考えられる。この概念は高温ポリシリコン膜の結晶粒内に欠陥が少ない理由として知られている。

【0116】また、本出願人は結晶化温度を超える温度(代表的には $700\sim 1100^\circ\text{C}$ )で加熱処理を行うことで結晶シリコン膜とその下地との間が固着し、密着性が高まることで欠陥が消滅するというモデルを考えている。

【0117】結晶シリコン膜と下地膜となる酸化珪素膜

とでは、熱膨張係数に10倍近くの差がある。従って、非晶質シリコン膜から結晶シリコン膜に変成した段階(図21(A))では、結晶シリコン膜が冷却される時に非常に大きな応力が結晶シリコン膜にかかる。

【0118】この事について、図22を用いて説明する。図22(A)は結晶化工程後の結晶シリコン膜にかかる熱履歴を示している。まず、温度( $t_1$ )で結晶化された結晶シリコン膜は冷却期間(a)を経て室温まで冷やされる。

【0119】ここで図22(B)に示すのは冷却期間(a)にある時の結晶シリコン膜であり、1050は石英基板、1051は結晶シリコン膜である。この時、結晶シリコン膜1051と石英基板1050との界面1052における密着性はあまり高くなく、それが原因となって多数の粒内欠陥を発生していると考えられる。

【0120】即ち、熱膨張係数の差によって引っ張られた結晶シリコン膜1051は石英基板1050上で非常に動きやすく、引っ張り応力などの力によって積層欠陥や転位などの欠陥1053を容易に生じてしまうと考えられる。

【0121】こうして得られた結晶シリコン膜が図21(A)に示した様な状態となるのである。そしてその後、図22(A)に示す様に温度( $t_2$ )で触媒元素のゲッタリング工程が施され、その結果、結晶シリコン膜中の欠陥が前述の理由によって消滅する。

【0122】ここで重要なことは触媒元素のゲッタリング工程が行われると同時に結晶シリコン膜石英基板に固着され、石英基板との密着性が高まる点である。即ち、このゲッタリング工程は結晶シリコン膜と石英基板(下地)との固着工程を兼ねていると考えられる。

【0123】こうしてゲッタリング+固着工程を終了すると冷却期間(b)を経て室温まで冷やされる。ここで結晶化工程の後の冷却期間(a)と異なる点は、石英基板1050とアニール後の結晶シリコン膜1054との界面1055が非常に密着性の高い状態となっている点である。(図22(C))

【0124】この様に密着性が高いと石英基板1050に対して結晶シリコン膜1054が完全に固着されるので、結晶シリコン膜の冷却段階において結晶シリコン膜に応力が加わっても欠陥を発生するには至らない。即ち、再び欠陥が発生する様なことを防ぐことができる。

【0125】なお、図22(A)では結晶化工程後に室温まで下げるプロセスを例にとっているが、結晶化が終了したらそのまま温度を上げてゲッタリング+固着工程を行うこともできる。その様なプロセスを経ても本発明の結晶シリコン膜を得ることは可能である。

【0126】こうして得られた本発明の結晶シリコン膜(図21(B))は、単に結晶化を行っただけの結晶シリコン膜(図21(A))に較べて格段に結晶粒内の欠陥数が少ないという特徴を有している。

【0127】この欠陥数の差は電子スピン共鳴分析 (Electron Spin Resonance : ESR) によってスピン密度の差となって現れる。現状では本発明の結晶シリコン膜のスピン密度は少なくとも  $5 \times 10^{17} \text{ spins/cm}^3$  以下 (好ましくは  $3 \times 10^{17} \text{ spins/cm}^3$  以下) であることが判明している。ただし、この測定値は現存する測定装置の検出限界に近いので、実際のスピン密度はさらに低いと予想される。

【0128】以上の様な結晶構造および特徴を有する本発明の結晶シリコン膜は、連続粒界結晶シリコン (Continuous Grain Silicon : CGS) と呼ばれる。

【0129】〔TFTの電気特性に関する知見〕上述の様な結晶性珪素膜を活性層として作製したTFTは図4に示す様な電気特性を示す。図4に示すのは横軸にゲート電圧 ( $V_g$ )、縦軸にドレイン電圧 ( $I_d$ ) の対数をとってプロットしたNチャネル型TFTの  $I_d$ - $V_g$  曲線 ( $I_d$ - $V_g$  特性) である。なお、電気特性の測定は市販の装置 (ヒューレットパッカード社製 : 型番4145B) を用いて行った。

【0130】図4において、401は上記工程で得られた活性層を利用したTFTの電気特性であり、402は従来のTFTの電気特性を示している。ここでは従来のTFTとして実施例1においてゲート絶縁膜形成後の熱処理 (ゲッターリングプロセス) を行わなかったTFTを挙げている。

【0131】両方のトランジスタ特性を比較すると、まづ同じゲート電圧でも401で示される特性の方が2~4桁近く大きいオン電流が流れることが確認できる。なお、オン電流とはTFTがオン状態 (図4においてゲート電圧が約0~5Vの範囲) にある時に流れるドレイン電流のことを指す。

【0132】また、401で示される特性の方が優れたサブスレッショルド特性を有していることも確認できる。サブスレッショルド特性とはTFTのスイッチング動作の急峻性を示すパラメータであり、TFTがオン又はオフ状態にスイッチングする際の  $I_d$ - $V_g$  曲線の立ち上がりが急峻である程、サブスレッショルド特性は良いと言える。

【0133】なお、本発明で得られるTFTの代表的な電気特性は次に示す様なものであった。

(1) TFTのスイッチング性能 (オン/オフ動作の切り換えの俊敏性) を示すパラメータであるサブスレッショルド係数が、N型TFTおよびP型TFTともに  $60 \sim 100 \text{ mV/decade}$  (代表的には  $60 \sim 85 \text{ mV/decade}$ ) と小さい。なお、このデータ値は単結晶シリコンを用いた絶縁ゲート型電界効果トランジスタ (IGFET) の場合とほぼ同等である。

(2) TFTの動作速度の速さを示すパラメータである電界効果移動度 ( $\mu_{FE}$ ) が、N型TFTで  $200 \sim 650 \text{ cm}^2/\text{Vs}$  (代表的には  $250 \sim 300 \text{ cm}^2/\text{Vs}$ )、P型TFTで  $10$

$0 \sim 300 \text{ cm}^2/\text{Vs}$  (代表的には  $150 \sim 200 \text{ cm}^2/\text{Vs}$ ) と大きい。

(3) TFTの駆動電圧の目安となるパラメータであるしきい値電圧 ( $V_{th}$ ) が、N型TFTで  $-0.5 \sim 1.5 \text{ V}$ 、P型TFTで  $-1.5 \sim 0.5 \text{ V}$  と小さい。この事は小さい電源電圧で駆動して消費電力を小さくできることを意味している。

【0134】以上の様に、本発明で得られるTFTは極めて優れたスイッチング特性および高速動作特性を有している。

【0135】(本発明のTFTで構成した回路の特性) 次に、本発明者らが本発明で得られるTFTを用いて作製したリングオシレータによる周波数特性を示す。リングオシレータとはCMOS構造でなるインバータ回路を奇数段リング状に接続した回路であり、インバータ回路1段あたりの遅延時間を求めるのに利用される。実験に使用したリングオシレータの構成は次の様になっている。

段数 : 9段

TFTのゲート絶縁膜の膜厚 : 30nm及び50nm

TFTのゲート長 :  $0.6 \mu\text{m}$

【0136】上記リングオシレータの電源電圧5Vの時の発振周波数をスペクトラムアナライザで測定した結果を図5に示す。図5において、横軸は電源電圧

( $V_{DD}$ )、縦軸は発振周波数 ( $f_{osc}$ ) である。図5が示す様に、ゲート絶縁膜が30nmのTFTを用いた場合において1GHz以上の発振周波数を実現している。

【0137】図6に示すのは1.04GHzの発振周波数を得た際のスペクトラムアナライザの出力スペクトルの様子である。横軸は1~1.1GHzまでの周波数であり、縦軸はログスケールでとった電圧 (出力振幅) である。図6に明らかな様に、約1.04GHzのところで出力スペクトルのピークが現れている。なお、出力スペクトルがテールを引いているのは装置の分解能によるものであり、実験結果に影響するものではない。

【0138】また、実際にLSI回路のTEGの一つであるシフトレジスタを作製して動作周波数を確認した。その結果、ゲート絶縁膜の膜厚30nm、ゲート長  $0.6 \mu\text{m}$ 、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数100MHzの出力パルスが得られた。

【0139】以上の様なリングシレータおよびシフトレジスタの驚異的なデータは、本発明のTFTが単結晶シリコンを利用したIGFETに匹敵する、若しくは凌駕する性能を有していることを示している。

【0140】それを裏付ける証拠として次の様なデータがある。図7に示すデータは横軸に電源電圧 ( $V_{DD}$ )、縦軸に  $F/O=1$  (ファンアウト比が1) のインバータの1段あたりの遅延時間 ( $\tau_{pd}$ ) をとったグラフである (ロジックLSI技術の革新、前口賢二他、p108、株式会社サイエンスフォーラム、1995)。

【0141】なお、図中の様々な曲線（点線で示されるもの）は、単結晶シリコンを利用したIGFETを様々なデザインルールで作製した時のデータであり、いわゆるスケーリング則を示している。

【0142】この図に上述のリングオシレータを用いて得たインバータの遅延時間と電源電圧との関係を当てはめると、図7において実線で示される曲線となる。注目すべきはチャンネル長が $0.5\mu\text{m}$ 、ゲイト絶縁膜の膜厚（ $t_{\text{OX}}$ ）が $11\text{nm}$ のIGFETで作製したインバータよりも、チャンネル長が $0.6\mu\text{m}$ 、ゲイト絶縁膜の膜厚が $30\text{nm}$ のTFTで作製したインバータの方が優れた性能を有している点である。

【0143】この事は本発明者で得られるTFTがIGFETよりも優れた性能を有していることを如実に示している。例えば、上記TFTを構成するゲイト絶縁膜の膜厚をIGFETの3倍以上としても、性能的に同等もしくはそれ以上のものが得られるのである。即ち、本発明のTFTは同等の特性を動作性能を有するIGFETよりも優れた絶縁耐圧を有していると言える。

【0144】また同時に、本発明のTFTがスケーリング則に従って微細化されればさらに高い性能を実現することが可能である。例えば、リングオシレータを $0.2\mu\text{m}$ ルールで作製すればスケーリング則によると $9\text{GHz}$ の動作周波数を実現しようと予想される（動作周波数 $f$ がチャンネル長 $L$ の二乗に反比例するため）。

【0145】以上の様に、本発明のTFTは極めて優れた特性を有し、そのTFTを用いて形成した半導体回路は $10\text{GHz}$ 以上の高速動作を実現しうる全く新しいTFTであることが確認された。

【0146】〔TFT特性とCGSの関係に関する知見〕上述の様な優れたTFT特性及び回路特性は、TFTの活性層として、結晶粒界において結晶格子に連続性を有する半導体薄膜を利用している点によるところが大きい。その理由について以下に考察する。

【0147】結晶粒界における結晶格子の連続性は、その結晶粒界が「平面状粒界」と呼ばれる粒界であることに起因する。本明細書における平面状粒界の定義は、

「Characterization of High-Efficiency Cast-Si Solar Cell Wafers by MBIC Measurement ; Ryuichi Shimokawa and Yutaka Hayashi, Japanese Journal of Applied Physics vol. 27, No. 5, pp. 751-758, 1988」に記載された「Planar boundary」である。

【0148】上記論文によれば、平面状粒界には $\{111\}$ 双晶粒界、 $\{111\}$ 積層欠陥、 $\{221\}$ 双晶粒界、 $\{221\}$  twist 粒界などが含まれる。この平面状粒界は電気的に不活性であるという特徴を持つ。即ち、結晶粒界でありながらキャリアの移動を阻害するトラップとして機能しないため、実質的に存在しないと見なすことができる。

【0149】特に $\{111\}$ 双晶粒界は $\Sigma 3$ の対応粒

界、 $\{221\}$ 双晶粒界は $\Sigma 9$ の対応粒界とも呼ばれる。 $\Sigma$ 値は対応粒界の整合性の程度を示す指針となるパラメータであり、 $\Sigma$ 値が小さいほど整合性の良い粒界であることが知られている。

【0150】本出願人が本願発明の半導体薄膜を詳細にTEMで観察した結果、結晶粒界の殆ど（90%以上、典型的には95%以上）が $\Sigma 3$ の対応粒界、即ち $\{111\}$ 双晶粒界であることが判明した。

【0151】二つの結晶粒の間に形成された結晶粒界において、両方の結晶の面方位が $\{110\}$ である場合、 $\{111\}$ 面に対応する格子縞がなす角を $\theta$ とすると、 $\theta = 70.5^\circ$ の時に $\Sigma 3$ の対応粒界となることが知られている。

【0152】従って、図1(A)のTEM写真に示された結晶粒界では、隣接する結晶粒の各格子縞が約 $70^\circ$ の角度で連続しており、この結晶粒界は $\{111\}$ 双晶粒界であると容易に推察することができる。

【0153】なお、 $\theta = 38.9^\circ$ の時には $\Sigma 9$ の対応粒界となるが、この様な他の結晶粒界も存在した。

【0154】この様な対応粒界は、同一面方位の結晶粒間にしか形成されない。即ち、本願発明の半導体薄膜は面方位が概略 $\{110\}$ で揃っているからこそ、広範囲に渡ってこの様な対応粒界を形成しうるのである。この特徴は、面方位が不規則な他のポリシリコン膜ではあり得ることではない。

【0155】ここで、本願発明の半導体薄膜を1万5千倍に拡大したTEM写真（暗視野像）を図25(A)に示す。白く見える領域と黒く見える領域とが存在するが、同色に見える部分は配向性が同一であることを示している。

【0156】図25(A)で特筆すべきはこれだけ広範囲の暗視野像において、白く見える領域がかなりの割合で連続的にまとまっている点である。これは配向性の同じ結晶粒がある程度の方向性をもって存在し、隣接する結晶粒同士で殆ど同一の配向性を有していることを意味している。

【0157】他方、従来的高温ポリシリコン膜を1万5千倍に拡大したTEM写真（暗視野像）を図25(B)に示す。従来的高温ポリシリコン膜では同一面方位の部分はばらばらに点在するのみであり、図25(A)に示す様な方向性のあるまとまりは確認できない。これは隣接する結晶粒同士の配向性が全く不規則であるためと考えられる。

【0158】また、本出願人は図1に示した測定点以外にも多数の領域に渡って観察と測定を繰り返し、TFTを作製するのに十分な広い領域において、結晶粒界における結晶格子の連続性が保たれていることを確認している。

【0159】〔実施例2〕実施例1では半導体膜として珪素膜を用いる例を示したが、 $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x$

＜1、好ましくは $0.9 \leq X \leq 0.99$ ）で示される様にゲルマニウムを1～10%含有した珪素膜を用いることも有効である。

【0160】この様な化合物半導体膜を用いた場合、N型TFETおよびP型TFETを作製した際にしきい値電圧を小さくできる。また、電界効果移動度（モビリティと呼ばれる）を大きくできる。

【0161】〔実施例3〕実施例1では活性層に対して意図的に不純物を添加しないのでチャンネル形成領域が真性または実質的に真性となる。なお、実質的に真性であるとは、①珪素膜の活性化エネルギーがほぼ $1/2$ である（フェルミレベルが禁制体のほぼ中央に位置する）こと、②スピン密度よりも不純物濃度が低いこと、③意図的に不純物を添加していないこと、のいずれかを満たすことである。

【0162】しかし、本願発明のTFETは公知のチャンネルドープ技術を利用することも可能である。チャンネルドープ技術とは、しきい値制御のために少なくともチャンネル形成領域に対して不純物を添加する技術である。

【0163】本願発明はもともとしきい値が非常に小さいので不純物を添加する濃度は非常に微量なもので良い。添加濃度が微量ですむということは、キャリアの移動度を落とさずにしきい値制御が可能となるため非常に好ましい。

【0164】〔実施例4〕本実施例では、実施例1に示したハロゲン元素によるゲッタリング効果に加えてリン元素によるゲッタリング効果を得るための構成について説明する。説明には図10を用いる。

【0165】まず、実施例1の工程に従ってハロゲン元素によるゲッタリングプロセスまで行い、図8（C）の状態を得る。次に、タンタルまたはタンタルを主成分とする材料でゲート電極11を形成する。

【0166】次に、ゲート電極11の表面を陽極酸化することによって陽極酸化膜12を形成する。陽極酸化膜12は保護膜として機能する。（図10（A））

【0167】次に、ゲート電極11をマスクとしてゲート絶縁膜808をドライエッチング法によりエッチングする。そして、その状態でリンまたは砒素イオン注入法により添加して不純物領域13、14を形成する。（図10（B））

【0168】次に、窒化珪素膜を厚く形成した後、ドライエッチング法によるエッチバックを行い、サイドウォール15を形成する。そして、サイドウォール15を形成した後、再びリンまたは砒素イオンを添加してソース領域16、ドレイン領域17を形成する。（図10（C））

【0169】なお、サイドウォール15の下は2度目のリン元素が添加されず、ソース領域およびドレイン領域よりも低濃度にリン元素を含む一対の低濃度不純物領域18となる。また、ゲート電極11の下は真性または実

質的に真性、或いはしきい値制御のために微量の不純物が添加されたチャンネル形成領域19となる。

【0170】こうして図10（C）の状態が得られたら、450～650℃（代表的には600℃）で8～24時間（代表的には12時間）の加熱処理を行う。

【0171】この加熱処理はリン元素による触媒元素（ここではニッケル）のゲッタリングを目的とした工程であるが、同時に不純物の活性化、活性層が受けたイオン注入時の損傷の回復が行われる。

【0172】この工程では、加熱処理を行うことでチャンネル形成領域19に残存するニッケルがソース／ドレイン領域16、17に移動し、そこでゲッタリングされて不活性化する。即ち、チャンネル形成領域19内部に残存するニッケルを除去することが可能である。

【0173】なお、ソース／ドレイン領域16、17は導電性を有していれば電極としての機能を果たすのでニッケルの有無が電気特性に影響を与える恐れがない。そのため、ゲッタリングサイトとして機能させるのである。

【0174】以上の様にして図10（D）の状態が得られたら、実施例1と同様に層間絶縁膜20、ソース電極21、ドレイン電極22を形成して図10（E）に示す薄膜トランジスタが完成する。

【0175】なお、本実施例ではゲート電極としてタンタルを用いているが、導電性を有する結晶性珪素膜を用いても良い。また、低濃度不純物領域の形成方法は本実施例の手段に限定されるものではない。

【0176】本実施例で最も重要な構成は、チャンネル形成領域に残存する触媒元素をソース領域およびドレイン領域に移動させてゲッタリングすることにある。これは、リンまたは砒素による金属元素のゲッタリング効果に着目した発明である。

【0177】なお、本実施例ではN型TFETの例を示したが、P型TFETの場合、ボロン元素だけではゲッタリング効果が得られないので、リン元素とボロン元素の両方をソース／ドレイン領域に添加することが必要である。

【0178】〔実施例5〕本実施例では、実施例1と異なる構造の薄膜トランジスタに本願発明を適用した場合の例について説明する。説明には図11を用いる。

【0179】まず、石英基板31上にゲート電極32を形成する。ゲート電極32は後の熱酸化工程に耐えられる様にタンタル、シリコン等の耐熱性の高い電極を利用することが必要である。

【0180】次に、ゲート電極32を覆う様にゲート絶縁膜33を形成する。その上には、後に活性層となる非晶質珪素膜を50nmの厚さに形成する。そして、実施例1と同様に開口部を有するマスク絶縁膜35を形成した後、ニッケル含有層36を形成する。（図11（A））

【0181】こうして図11(A)の状態が得られたら、結晶化のための加熱処理を行い、横成長領域でなる結晶性珪素膜37を得る。(図11(B))

【0182】次に、マスク絶縁膜35を除去してハロゲン元素を含む雰囲気中で加熱処理を行う。条件は実施例1に従えば良い。この工程によって結晶性珪素膜37中からニッケルがゲッターリングされ、気相中へと除去される。(図11(C))

【0183】こうしてゲッターリングプロセスが完了したら、パターニングにより横成長領域のみでなる活性層38を形成し、その上に窒化珪素膜でなるチャンネルストップ39を形成する。(図11(D))

【0184】図11(D)の状態が得られたら、N型を呈する結晶性珪素膜を形成してパターニングを施し、ソース領域40、ドレイン領域41を形成する。さらに、ソース電極42、ドレイン電極43を形成する。

【0185】最後に、素子全体に対して水素雰囲気中で加熱処理を行い、図11(E)に示す様な構造の逆スタガ型TFTが完成する。なお、本実施例に示した構造は逆スタガ型TFTの一例であり、本実施例の構造に限定されるものではない。また、他のボトムゲイト型TFTに適用することも可能である。

【0186】〔実施例6〕本実施例では絶縁表面を有する基板上に本発明によるTFTを形成し、画素マトリクス回路と周辺回路とをモノリシックに構成する例を図12~14に示す。なお、本実施例ではドライバ回路やロジック回路等の周辺回路の例として、基本回路であるCMOS回路を示す。

【0187】まず、石英基板51上に75nm厚の非晶質珪素膜52、マスク絶縁膜53を形成し、スピンコート法によりニッケル含有層54を形成する。これらの工程は実施例1に示した通りである。(図12(A))

【0188】次に、450℃1時間程度の水素出しの後、窒素雰囲気中において590℃8時間の加熱処理を行い、結晶性領域55~58を得る。なお、55、56はニッケル添加領域であり、57、58は横成長領域である。(図12(B))

【0189】結晶化のための加熱処理が終了したら、マスク絶縁膜53を除去してパターニングを行い、横成長領域57、58のみでなる島状半導体層(活性層)59~61を形成する。(図12(C))

【0190】ここで59はCMOS回路を構成するN型TFTの活性層、60はCMOS回路を構成するP型TFTの活性層、61は画素マトリクス回路を構成するN型TFT(画素TFT)の活性層である。

【0191】活性層59~61を形成したら、その上に珪素を含む絶縁膜でなるゲイト絶縁膜62を成膜する。そして、次に触媒元素のゲッターリングプロセスを行う。この工程の条件は実施例1に従えば良い。(図12(D))

【0192】次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲイト電極の原型63~65を形成する。本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる。

(図13(A))

【0193】次に、実施例1と同様に特開平7-135318号公報記載の技術により多孔性の陽極酸化膜66~68、無孔性の陽極酸化膜69~71、ゲイト電極72~74を形成する。(図13(B))

【0194】こうして図13(B)の状態が得られたら、次にゲイト電極72~74、多孔性の陽極酸化膜66~68をマスクとしてゲイト絶縁膜62をエッチングする。そして、多孔性の陽極酸化膜66~68を除去して図13(C)の状態を得る。なお、図13(C)において75~77で示されるのは加工後のゲイト絶縁膜である。

【0195】次に、実施例1と同様の手順に従ってN型を付与する不純物イオンを2回に分けて添加する。まず1回目の不純物添加を高加速電圧で行い、 $n^-$ 領域を形成し、次に2回目の不純物添加を低加速電圧で行い、 $n^+$ 領域を形成する。

【0196】以上の工程を経て、CMOS回路を構成するN型TFTのソース領域78、ドレイン領域79、低濃度不純物領域80、チャンネル形成領域81が形成される。また、画素TFTを構成するN型TFTのソース領域82、ドレイン領域83、低濃度不純物領域84、チャンネル形成領域85が画定する。(図13(D))

【0197】なお、図13(D)に示す状態ではCMOS回路を構成するP型TFTの活性層もN型TFTの活性層と同じ構成となっている。

【0198】次に、N型TFTを覆ってレジストマスク86を設け、P型を付与する不純物イオン(本実施例ではボロンを用いる)の添加を行う。

【0199】この工程も前述の不純物添加工程と同様に2回に分けて行うが、N型をP型に反転させる必要があるため、前述のPイオンの添加濃度の数倍程度の濃度のB(ボロン)イオンを添加する。

【0200】こうしてCMOS回路を構成するP型TFTのソース領域87、ドレイン領域88、低濃度不純物領域89、チャンネル形成領域90が形成される。(図14(A))

【0201】以上の様にして活性層が完成したら、ファーストアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物イオンの活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0202】次に、層間絶縁膜91として酸化珪素膜と窒化珪素膜との積層膜を形成し、コンタクトホールを形成した後、ソース電極92~94、ドレイン電極95、96を形成して図14(B)に示す状態を得る。

【0203】なお、本実施例では画素TFTのドレイン電極96を補助容量の下部電極として利用するので、それに対応する様な形状に加工しておく。

【0204】次に、10～50nmの厚さの窒化珪素膜97を形成し、その上に補助容量を形成するための容量電極98を100nmの厚さに形成する。本実施例では容量電極98としてチタン膜を用い、ドレイン電極96との間で補助容量を形成する。

【0205】前述の窒化珪素膜97は比誘電率が高いので誘電体として好適である。また、容量電極98としてはチタン膜以外にもアルミニウム膜やクロム膜等を用いても構わない。

【0206】なお、本実施例は反射型液晶表示装置のアクティブマトリクス基板（TFT側基板）を作製する例であるので、透過型と違って後に形成される画素電極の下を自由に利用できる（開口率を気にする必要がない）。それ故に上述の様な補助容量の形成が可能となる。

【0207】次に、有機性樹脂膜でなる第2の層間絶縁膜99を0.5～3 $\mu$ mの厚さに形成する。そして、層間絶縁膜99上に導電膜を形成してパターンニングにより画素電極100を形成する。本実施例は反射型の例であるため画素電極100を構成する導電膜としてアルミニウムを主成分とする材料を用い、画素電極100に反射膜としての機能を持たせる。

【0208】次に、基板全体を350℃の水素雰囲気中で1～2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダングリングボンド（不対結合手）を補償する。以上の工程を経て同一基板上にCMOS回路および画素マトリクス回路を作製することができる。

【0209】〔実施例7〕本実施例では、実施例6とは異なるTFT構造を採用した場合の例について説明する。まず、図15（A）は低濃度不純物領域を形成するにあたってサイドウォールを利用する例である。

【0210】この場合、図13（A）に示す状態で無孔性の陽極酸化膜を形成し、ゲイト電極とその陽極酸化膜をマスクとしてゲイト絶縁膜をエッチングする。その状態で $n^-$ 領域および $p^-$ 領域を形成するための不純物添加を行う。

【0211】次に、サイドウォール1001～1003をエッチバック法で形成した後、 $n^+$ 領域および $p^+$ 領域を形成するための不純物添加を行う。この様な工程でサイドウォール1001～1003の下には低濃度不純物領域（ $n^-$ 領域および $p^-$ 領域）が形成される。

【0212】また、図15（A）では公知のシリサイド技術を利用して金属シリサイド1004～1006を形成している。シリサイド化するための金属としてはチタン、タンタル、タングステン、モリブデン等を用いることができる。

【0213】また、図15（B）に示す構成は、ゲイト

電極1007～1009が一導電性を付与した結晶性珪素膜で形成されている点に特徴がある。通常、N型導電性を持たせるが、N型TFTとP型TFTとで導電性を異ならせるデュアルゲイト型TFTとすることも可能である。

【0214】さらに、図15（B）に示す構造でもサリサイド構造を適用しているが、この場合、ゲイト電極1007～1009の上面にも金属シリサイド1010～1012が形成される。

【0215】本実施例に示した構造は、動作速度の速いTFTに適した構造となる様に設計されている。特に、サリサイド構造は数GHzレベルの動作周波数を実現する上で非常に有効な技術である。

【0216】〔実施例8〕本実施例では、実施例6とは異なる構成で補助容量を形成する場合の例について説明する。

【0217】まず、図16（A）は活性層のドレイン領域1020を大きめに形成しておき、その一部を補助容量の下部電極として活用する。この場合、ドレイン領域1020の上にはゲイト絶縁膜1021があり、その上に容量電極1022が形成される。この容量電極1022はゲイト電極と同一材料で形成される。

【0218】この時、ドレイン領域1020のうち補助容量を形成する部分は、予め不純物を添加して導電性を持たせておいても良いし、容量電極1022に定電圧をかけて形成される反転層を利用しても良い。

【0219】図16（A）は反射型液晶表示装置の例であるため、画素電極の裏側を最大限に活用して補助容量を形成できる。そのため、非常に大きな容量を確保することができる。勿論、透過型液晶表示装置にも適用できるが、その場合、補助容量の占有面積を大きくしてしまうと開口率が落ちるので注意が必要である。

【0220】次に、図17（B）は透過型液晶表示装置の例である。図17（B）の構成ではドレイン電極1023を補助容量の下部電極とし、その上に窒化珪素膜1024、ブラックマスク1025を形成し、ドレイン電極1023とブラックマスク1025との間で補助容量を形成する。

【0221】この様に、図16（B）の構成ではブラックマスク1025が補助容量の上部電極を兼ねる点の特徴である。

【0222】また、1026は画素電極であり、透過型であるので透明導電膜（例えばITO膜）を用いる。

【0223】図16（B）に示す様な構成では、広い面積を占めやすい補助容量をTFTの上に形成することで開口率を広くすることが可能である。また、誘電率の高い窒化珪素膜を25nm程度の薄さで利用できるので、少ない面積で非常に大きな容量を確保することが可能である。

【0224】〔実施例9〕本実施例では、画素マトリク



ス回路を構成する画素TFTの構造について説明する。本実施例の画素TFTの断面構造を図26(A)に示す。図26(A)において、3001は活性層、3002はソース線、3003はゲイト線、3004はドレイン電極、3005はブラックマスク、3006はドレイン電極3004と画素電極3007とを接続するためのコンタクトホールである。

【0225】本実施例の特徴は、画素TFTの上方においてドレイン電極3004とブラックマスク3005との間で補助容量を形成する点にある。

【0226】また、図26(A)をA-A'で示される破線で切断した時の断面図を図26(B)に示す。なお、図26(A)と図26(B)には共通の符号を用いる。

【0227】この様に、ゲイト線3003と重なる様な配置でドレイン電極3005が形成され、誘電体3008を挟んで対向するブラックマスク3005との間に補助容量が形成されている。なお、本実施例ではドレイン電極3005としてチタン膜をアルミニウム膜で挟んだ三層構造を採用している。

【0228】本実施例の場合、ドレイン電極3005を形成した後で窒化珪素膜／酸化珪素膜／アクリル膜の三層構造でなる層間絶縁膜を形成し、その上にブラックマスク3005を形成する。

【0229】この時、ブラックマスク3005の形成前に、後に補助容量となる領域のアクリル膜のみを除去して開口部を形成しておく。すると、開口部の底には酸化珪素膜と窒化珪素膜しか残らず、この二層構造でなる絶縁層が補助容量の誘電体3008として機能するのである。

【0230】〔実施例10〕本実施例では本願発明を利用して液晶パネルを構成する場合の例を示す。図17に示すのはアクティブマトリクス型液晶パネルの断面を簡略化した図であり、ドライバー回路やロジック回路を構成する領域にはCMOS回路を、画素マトリクス回路を構成する領域には画素TFTを示している。

【0231】なお、実施例6～9でCMOS回路と画素マトリクス回路の構造(TFT構造)に関する説明を既に行ったので、本実施例では必要な箇所のみを説明することにする。

【0232】まず、実施例6に示した作製工程に従って図14(C)の状態を得る。なお、画素TFTをマルチゲイト構造とするなどの変更は実施者の自由である。

【0233】そして、アクティブマトリクス基板の準備として配向膜1030を形成する。次に、対向基板を用意する。対向基板は、ガラス基板1031、透明導電膜1032、配向膜1033とで構成される。なお、対向基板側には必要に応じてブラックマスクやカラーフィルタが形成されるがここでは省略する。

【0234】こうして用意したアクティブマトリクス基

板と対向基板とを公知のセル組み工程によって貼り合わせる。そして、両基板の間に液晶材料1034を封入して図17に示す様な液晶パネルが完成する。

【0235】液晶材料1034は液晶の動作モード(ECBモード、ゲストホストモード等)によって自由に選定することができる。

【0236】また、図14(C)に示した様なアクティブマトリクス基板の外観を図18に簡略化して示す。図18において、1040は石英基板、1041は画素マトリクス回路、1042はソースドライバー回路、1043はゲイトドライバー回路、1044はロジック回路である。

【0237】ロジック回路1044は広義的にはTFTで構成される論理回路全てを含むが、ここでは従来から画素マトリクス回路、ドライバー回路と呼ばれている回路と区別するため、それ以外の信号処理回路(メモリ、D/Aコンバータ、パルスジェネレータ等)を指す。

【0238】また、こうして形成された液晶パネルには外部端子としてFPC(Flexible Print Circuit)端子が取り付けられる。一般的に液晶モジュールと呼ばれるのはFPCを取り付けた状態の液晶パネルである。

【0239】本出願人は実際に対角2.6インチ、1280×1024画素で、画素サイズが45μm×32μmの液晶モジュールを作製している。開口率は63%、コントラスト比は300:1を実現している。

【0240】〔実施例11〕本願発明は実施例10に示した液晶表示装置以外にも、アクティブマトリクス型のEL(エレクトロルミネッセンス)表示装置やEC(エレクトロクロミクス)表示装置等の他の電気光学装置を作製することも可能である。

【0241】〔実施例12〕本実施例では、本発明を利用した電気光学装置を利用する電子デバイス(応用製品)の一例を図19に示す。本発明を利用した応用製品としてはビデオカメラ、スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。

【0242】図19(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本発明は表示装置2004に適用することができる。

【0243】図19(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明は表示装置2102に適用することができる。

【0244】図19(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表

示装置 2 2 0 5 で構成される。本発明は表示装置 2 2 0 5 に適用できる。

【0 2 4 5】図 1 9 (D) はヘッドマウントディスプレイであり、本体 2 3 0 1、表示装置 2 3 0 2、バンド部 2 3 0 3 で構成される。本発明は表示装置 2 3 0 2 に適用することができる。

【0 2 4 6】図 1 9 (E) はリア型プロジェクターであり、本体 2 4 0 1、光源 2 4 0 2、表示装置 2 4 0 3、偏光ビームスプリッタ 2 4 0 4、リフレクター 2 4 0 5、2 4 0 6、スクリーン 2 4 0 7 で構成される。本発明は表示装置 2 4 0 3 に適用することができる。

【0 2 4 7】図 1 9 (F) はフロント型プロジェクターであり、本体 2 5 0 1、光源 2 5 0 2、表示装置 2 5 0 3、光学系 2 5 0 4、スクリーン 2 5 0 5 で構成される。本発明は表示装置 2 5 0 3 に適用することができる。

【0 2 4 8】以上の様に、本発明の応用範囲は極めて広く、あらゆる分野の表示媒体に適用することが可能である。また、本発明の T F T は I C、L S I といった半導体回路を構成することもできるので、その様な半導体回路を必要とする製品であれば用途を問わない。

【0 2 4 9】

【発明の効果】本明細書で開示する発明によれば、実質的に単結晶半導体に匹敵する結晶性を有する半導体薄膜を実現することができる。そして、その様な半導体薄膜を利用することで単結晶上に作製した I G F E T (M O S F E T) に匹敵する、或いは凌駕する高い性能を有した T F T を実現することができる。

【0 2 5 0】以上の様な T F T を用いて構成される半導体回路や電気光学装置およびそれらを具備した電子デバイスは、極めて高い性能を有し、機能性、携帯性、信頼性の面で非常に優れたものとなる。

【図面の簡単な説明】

【図 1】 半導体薄膜の結晶粒界を拡大した H R - T E M 写真。

【図 2】 結晶の方位関係を模式的に表した図。

【図 3】 電子線回折パターンを表す写真および模

式図。

【図 4】 薄膜トランジスタの電気特性を示す図。

【図 5】 リングオシレータの周波数特性を示す図。

【図 6】 リングオシレータの出力スペクトルを示す写真。

【図 7】 スケーリング則を示す図。

【図 8】 薄膜トランジスタの作製工程を示す図。

【図 9】 薄膜トランジスタの作製工程を示す図。

【図 1 0】 薄膜トランジスタの作製工程を示す図。

【図 1 1】 薄膜トランジスタの作製工程を示す図。

【図 1 2】 アクティブマトリクス基板の作製工程を示す図。

【図 1 3】 アクティブマトリクス基板の作製工程を示す図。

【図 1 4】 アクティブマトリクス基板の作製工程を示す図。

【図 1 5】 アクティブマトリクス基板の構造を示す図。

【図 1 6】 アクティブマトリクス基板の構造を示す図。

【図 1 7】 液晶表示装置の断面を示す図。

【図 1 8】 アクティブマトリクス基板を上面から見た図。

【図 1 9】 電子デバイス（応用製品）の一例を示す図。

【図 2 0】 結晶成長の様子を模式的に表した図。

【図 2 1】 結晶シリコン膜の結晶粒を示す T E M 写真。

【図 2 2】 欠陥の生成および消滅に関するモデルを説明するための図。

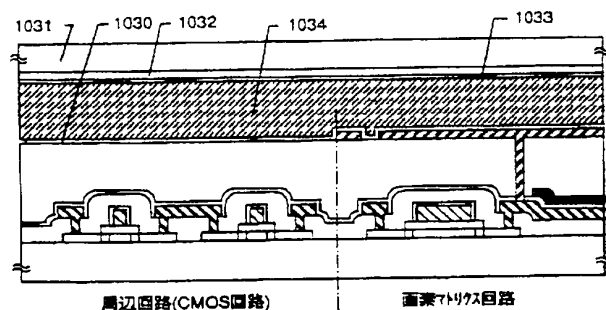
【図 2 3】 C、N、O の濃度分布を示す図。

【図 2 4】 X 線回折の結果を示す図。

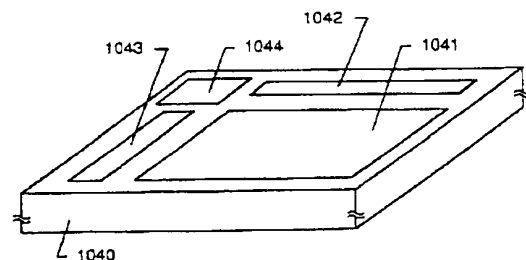
【図 2 5】 半導体薄膜の暗視野像を示す T E M 写真。

【図 2 6】 画素 T F T の上面及び断面構造を示す図。

【図 1 7】

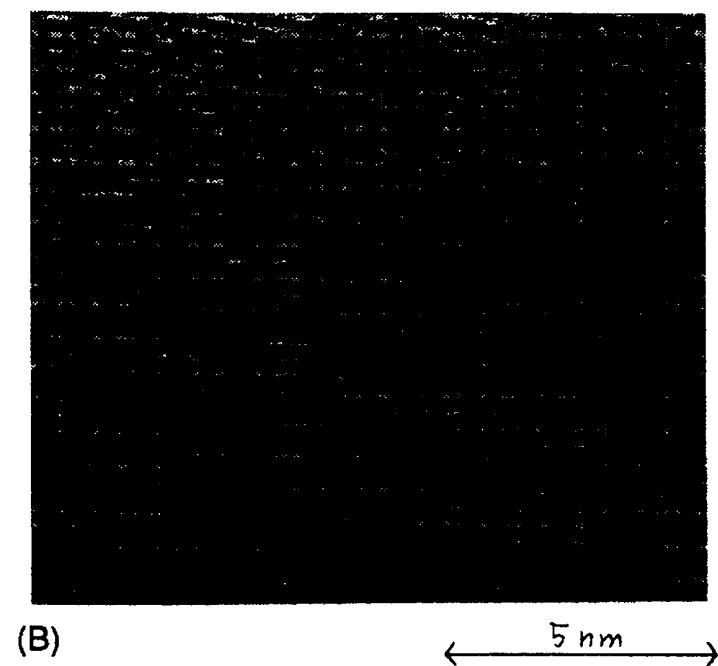
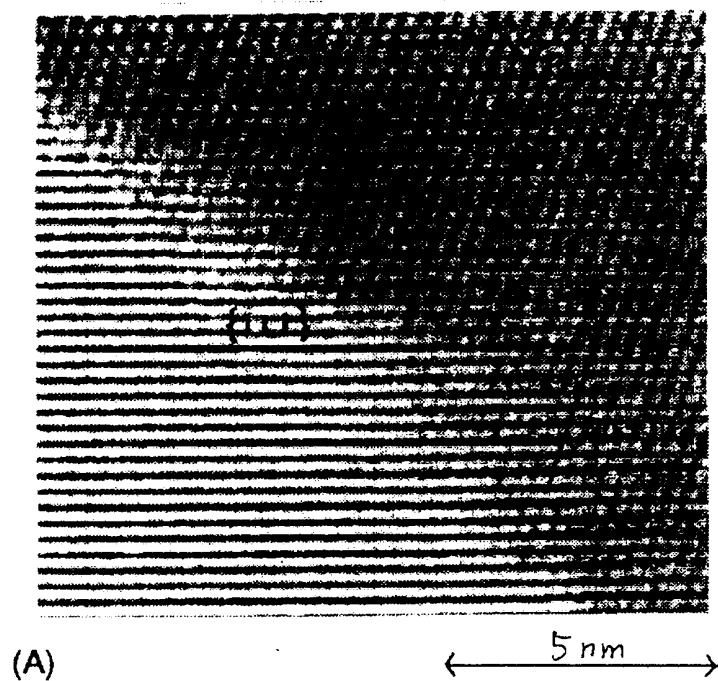


【図 1 8】

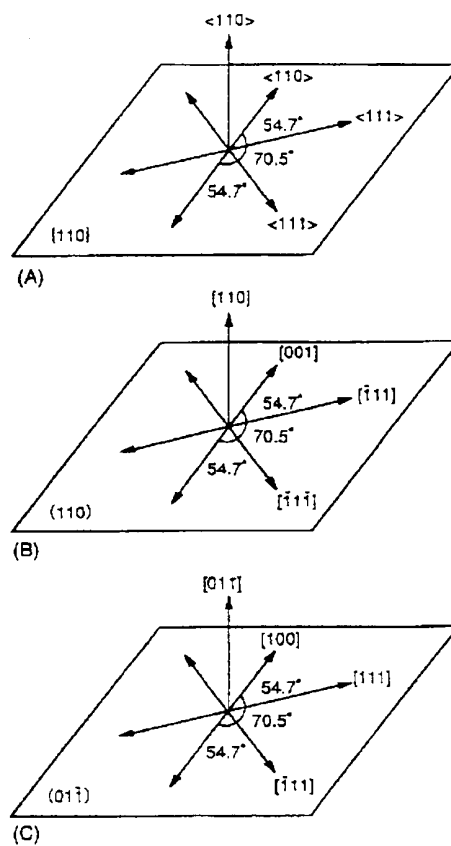


【図1】

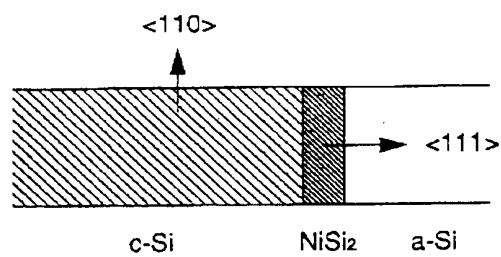
図面代用写真



【図2】

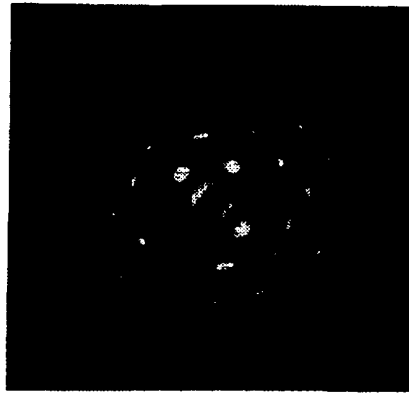


【図20】



【図3】

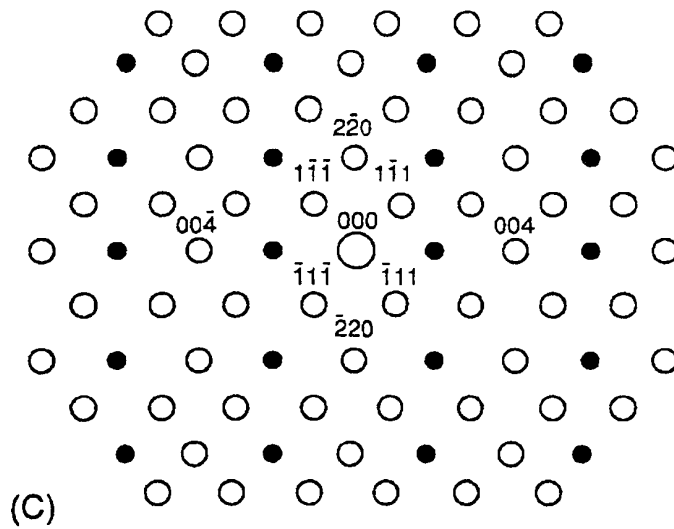
図面代用写真



(A)

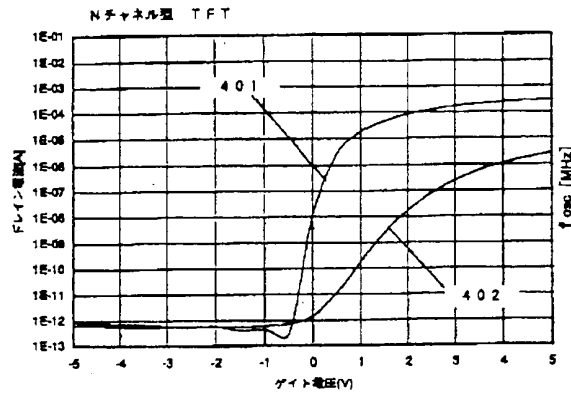


(B)

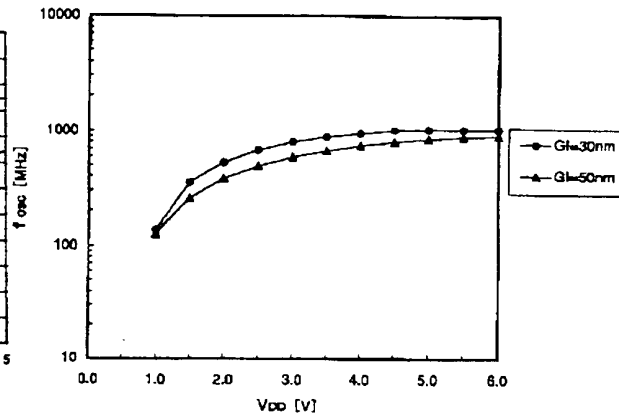


(C)

【図4】

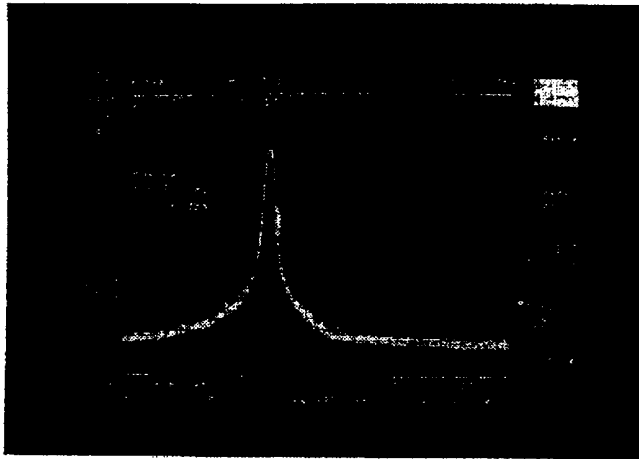


【図5】



【図6】

図面代用写真



【図21】

図面代用写真

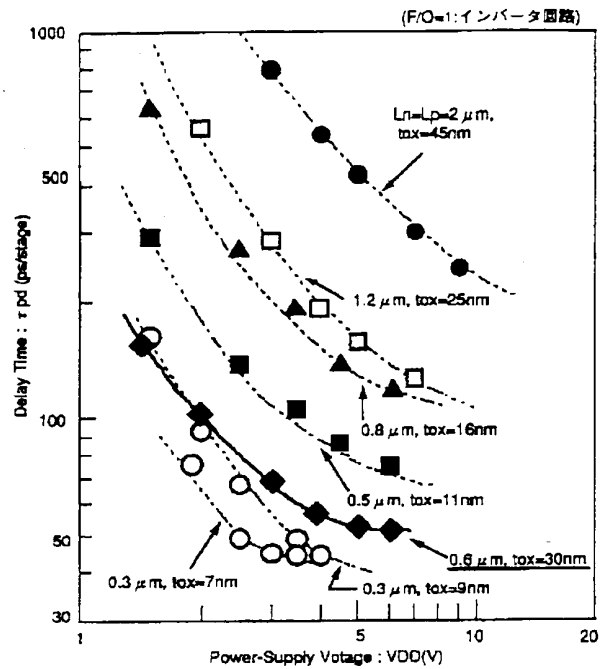


(A)

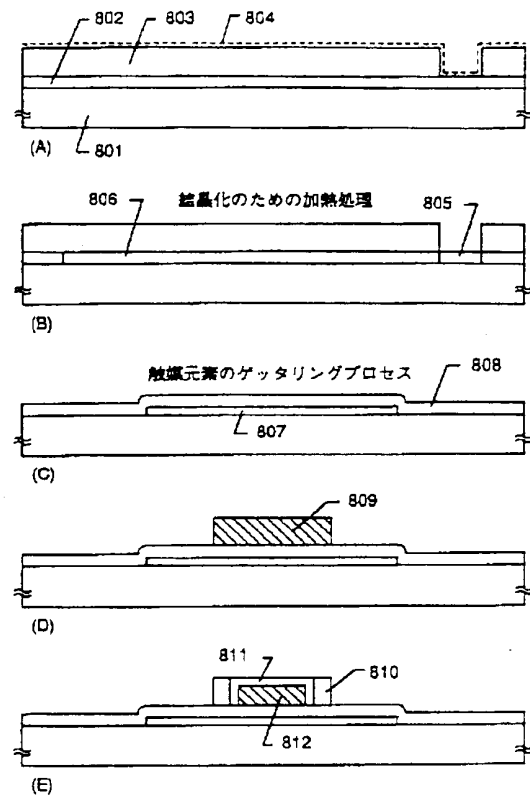


(B)

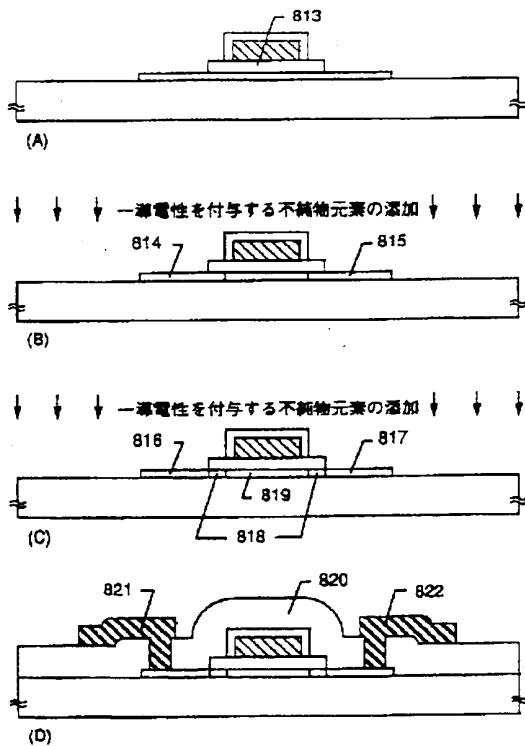
【図7】



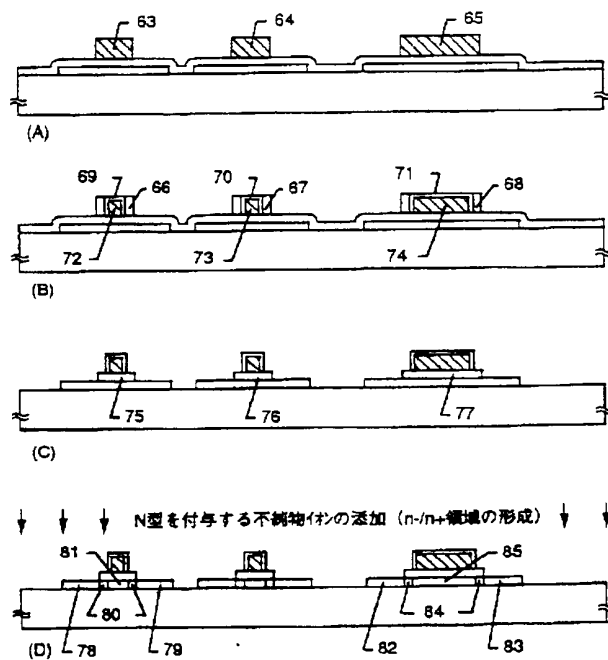
【図8】



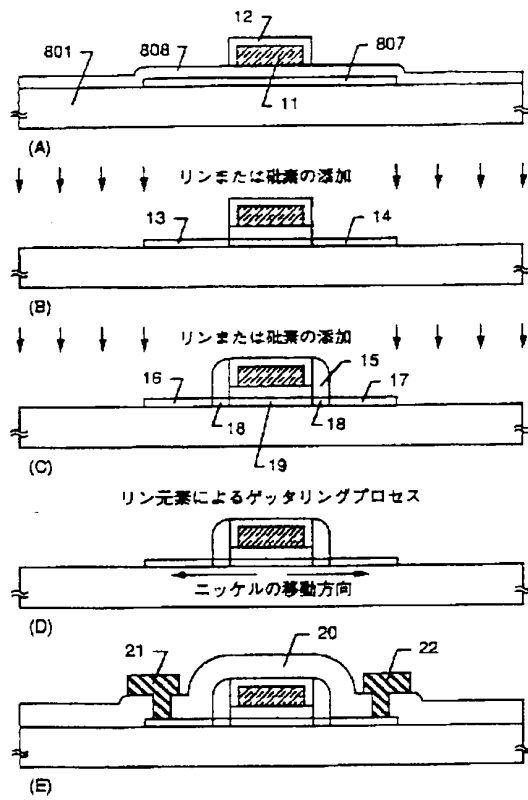
【図9】



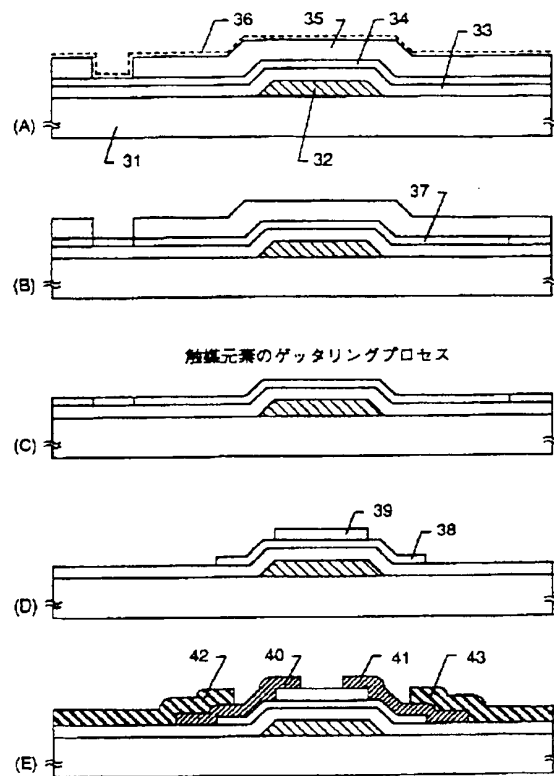
【図13】



【図10】

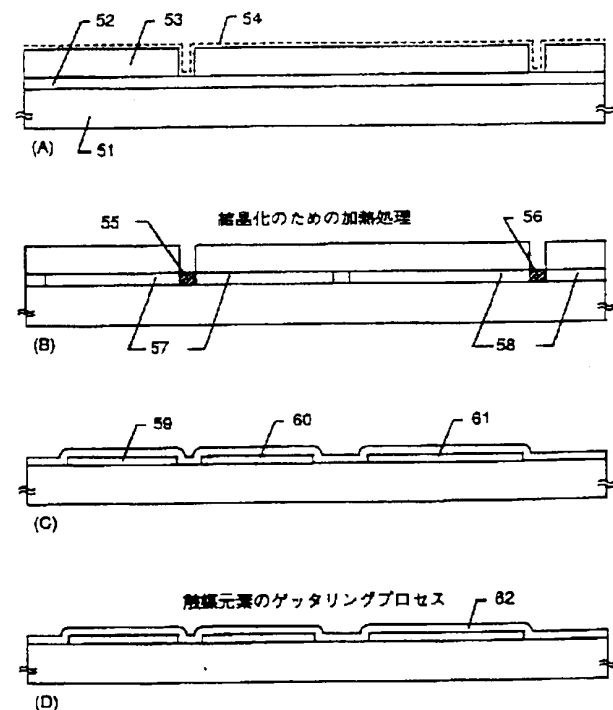
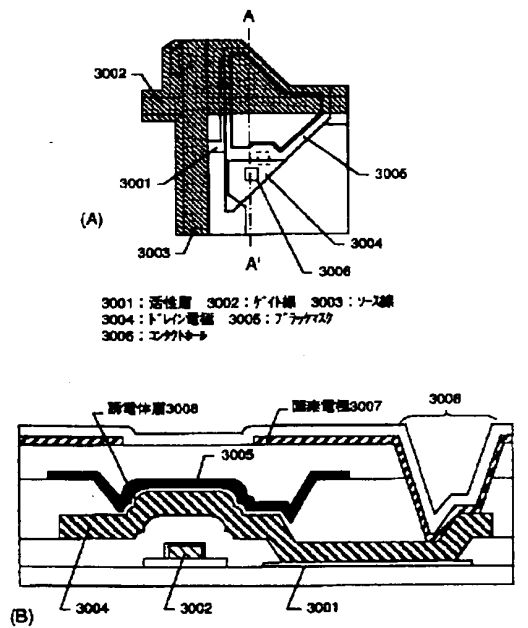


【図11】

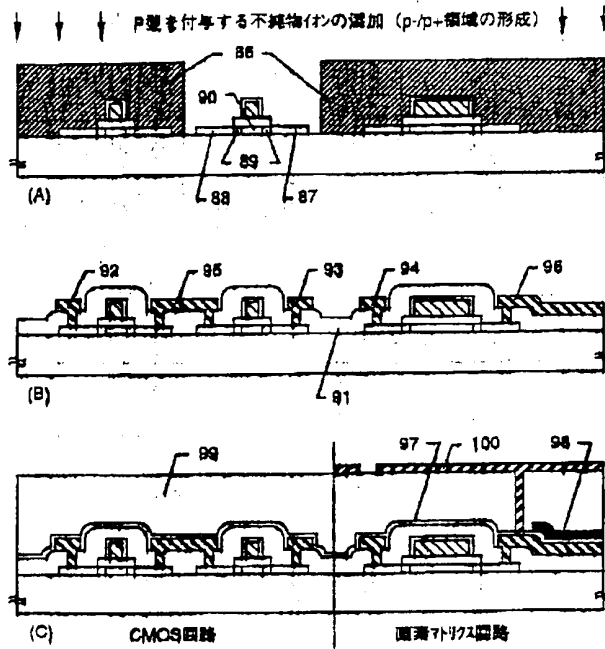


【図12】

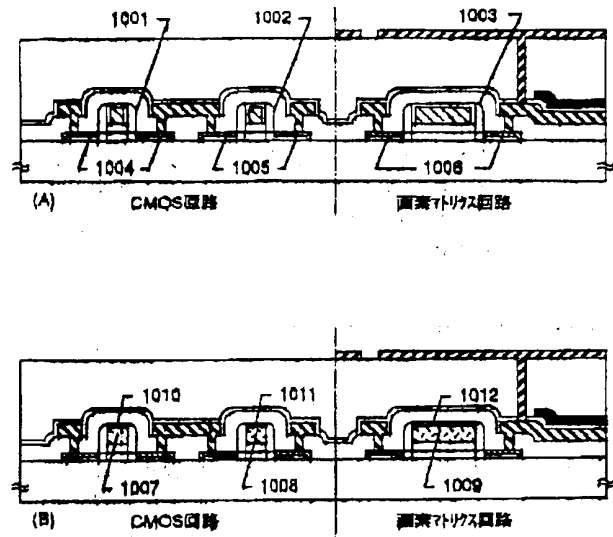
【図26】



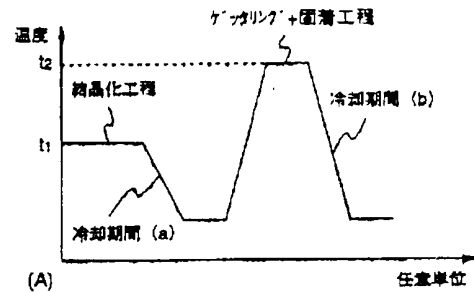
【図14】



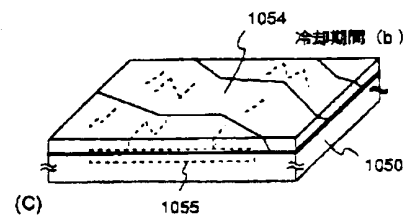
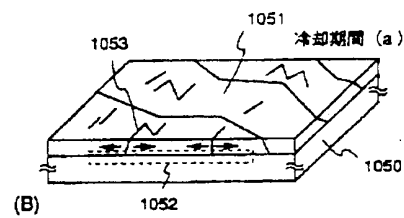
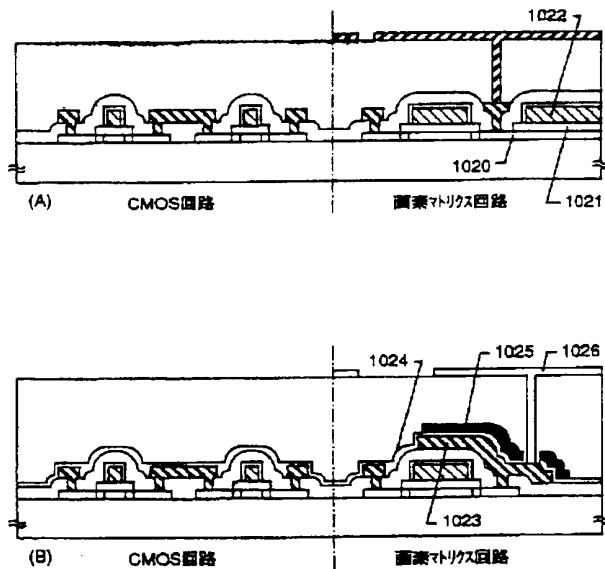
【図15】



【図22】

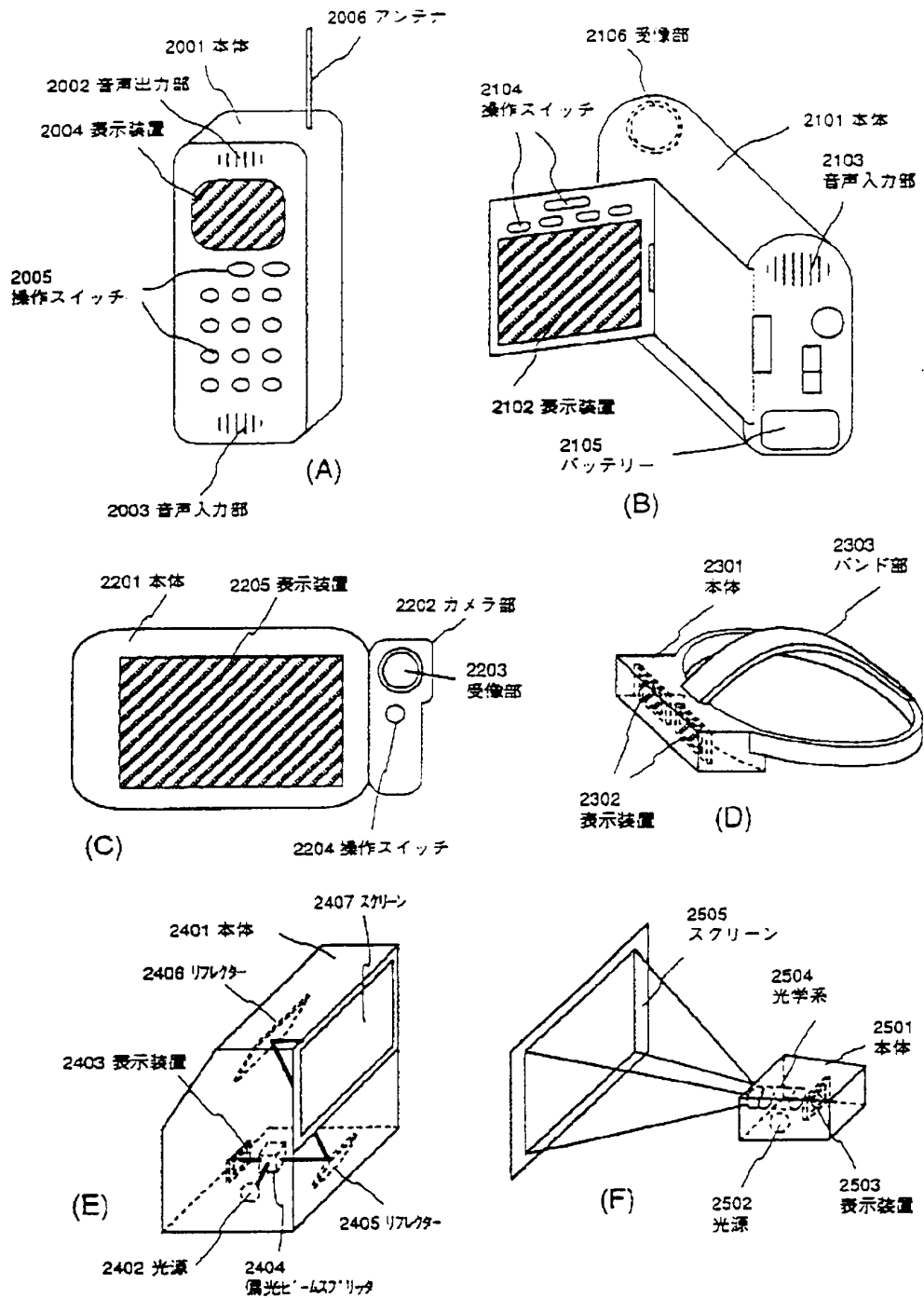


【図16】

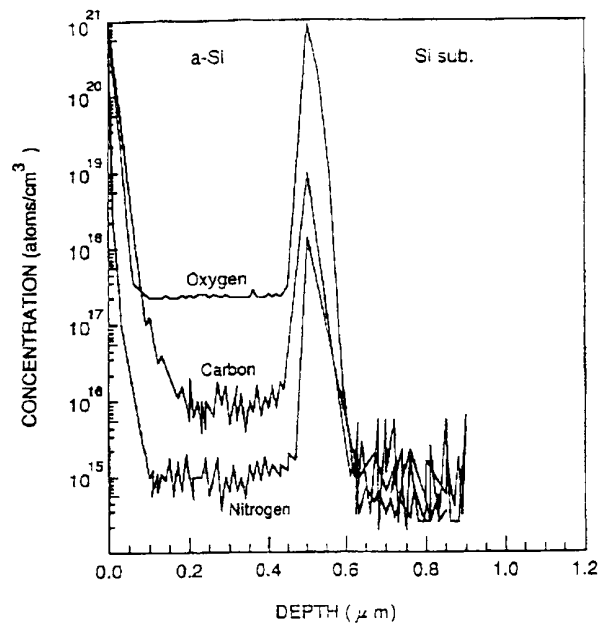




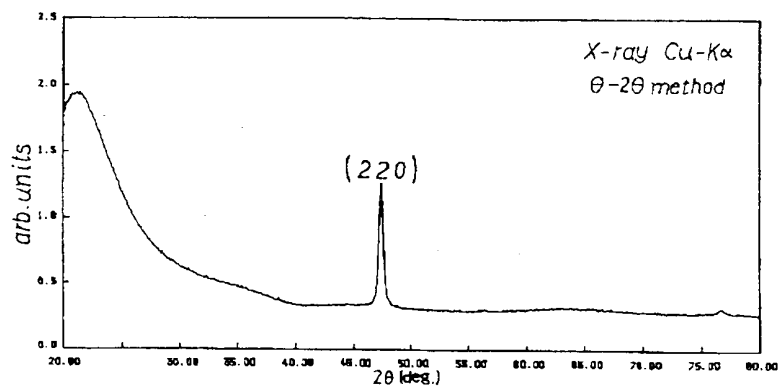
【図19】



【図 2 3】

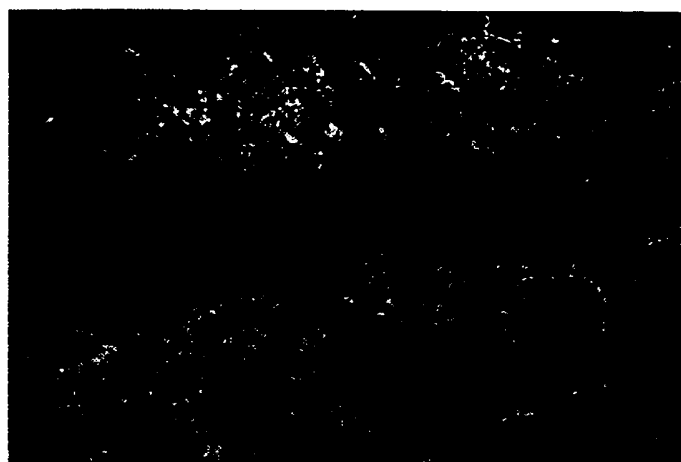


【図 2 4】

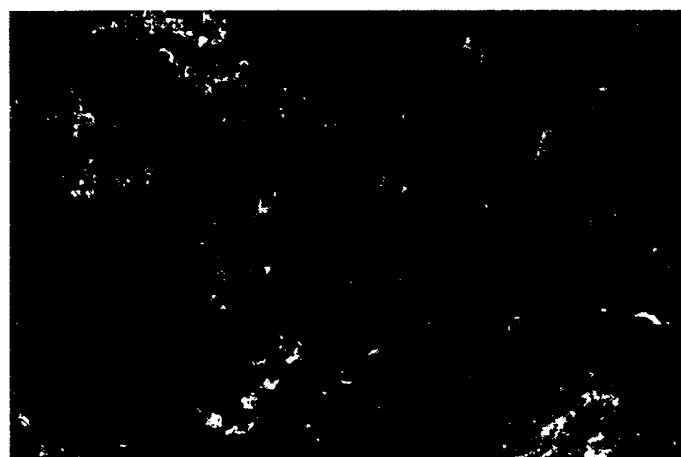


【図25】

図面代用写真



(A)



(B)

---

フロントページの続き

(72)発明者 尾形 靖  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 宮永 昭治  
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内